

Practitioner's Docket No.: 967_038

PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re the application of: Toshinobu Nakao et al.

Ser. No.: 10/722,752

Art Unit: Not Assigned

Filed: November 26, 2003

Examiner: Not Assigned

For: SCAN TEST CONTROL METHOD AND SCAN TEST CIRCUIT

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

I hereby certify that this correspondence is being deposited with the United States Postal Service as first class mail addressed to Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450, on December 12, 2003.

Susanne C. Aregano
Susanne C. Aregano

CLAIM FOR PRIORITY

Sir:

The benefit of the filing date of the following prior foreign application filed in the following foreign country is hereby requested for the above-identified patent application and the priority provided in 35 USC 119 is hereby claimed:

Japanese Application 2003-67170 filed March 12, 2003.

In support of this claim, a certified copy of the Japanese Application is enclosed herewith.

Respectfully submitted,

WALL MARJAMA & BILINSKI LLP

Peter J. Bilinski

Peter J. Bilinski
Reg. No. 35,067

December 12, 2003

Date

PJB/sca
Telephone: (315) 425-9000

Customer No.: 20874

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 3 年 3 月 1 2 日
Date of Application:

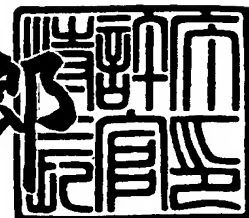
出 願 番 号 特 願 2 0 0 3 - 0 6 7 1 7 0
Application Number:
[ST. 10/C] : [J P 2 0 0 3 - 0 6 7 1 7 0]

出 願 人 松下電器産業株式会社
Applicant(s):

2 0 0 3 年 7 月 9 日

特許庁長官
Commissioner,
Japan Patent Office

太田信一郎



出証番号 出証特 2 0 0 3 - 3 0 5 4 9 6 0

【書類名】 特許願

【整理番号】 2037840181

【提出日】 平成15年 3月12日

【あて先】 特許庁長官殿

【国際特許分類】 G01R 31/28

【発明者】

【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

【氏名】 中尾 寿伸

【発明者】

【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社

【氏名】 尾崎 伸治

【発明者】

【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

【氏名】 瀬崎 朋久

【特許出願人】

【識別番号】 000005821

【氏名又は名称】 松下電器産業株式会社

【代理人】

【識別番号】 100081813

【弁理士】

【氏名又は名称】 早瀬 憲一

【電話番号】 06(6395)3251

【手数料の表示】

【予納台帳番号】 013527

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9600402

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 スキャンテスト制御方式、及びスキャンテスト回路

【特許請求の範囲】

【請求項 1】 複数 ($n > 1$ の整数) 個のスキャン記憶素子を有するスキャンチェーンを内蔵し、前記 1 個目から $n - 1$ 個目のスキャン記憶素子にデータをシフトインするための第 1 のクロックの周波数と、

n 個目のスキャン記憶素子にデータをシフトインし、かつ通常動作するための第 2 のクロックの周波数とを独立に制御する、
ことを特徴とするスキャンテスト制御方式。

【請求項 2】 請求項 1 記載のスキャンテスト制御方式において、
前記第 1 のクロックの周波数と前記第 2 のクロックの周波数が異なる、
ことを特徴とするスキャンテスト制御方式。

【請求項 3】 請求項 1 記載のスキャンテスト制御方式において、
前記第 2 のクロックの周波数は、通常動作周波数である、
ことを特徴とするスキャンテスト制御方式。

【請求項 4】 複数 ($n > 1$ の整数) 個のスキャン記憶素子を有するスキャンチェーンと、

第 1 および第 2 のクロックを入力として、任意のクロックをスキャンクロックとして出力するスキャンクロック生成回路と、

前記 1 個目から $n - 1$ 個目のスキャン記憶素子にデータをシフトインするために第 1 のクロック入力を選択的に使用し、前記 n 個目のスキャン記憶素子にデータをシフトインし、かつ通常動作するための第 2 のクロック入力を選択的に使用する選択回路とを備えた、

ことを特徴とするスキャンテスト回路。

【請求項 5】 請求項 4 記載のスキャンテスト回路において、
スキャン選択外部信号を入力とし、前記第 2 のクロックに同期して、シフトインするための動作と前記通常動作とを選択的に切換えるスキャン選択内部信号を生成するスキャン選択信号生成回路を有する、

ことを特徴とするスキャンテスト回路。

【請求項 6】 請求項 5 記載のスキランテスト回路において、
前記スキラン選択信号生成回路は、第 2 のクロックのうち、任意のクロック数
だけ発生させる制御信号を生成する、
ことを特徴とするスキランテスト回路。

【請求項 7】 請求項 6 記載のスキランテスト回路において、
前記スキラン選択信号生成回路は、前記スキランクロック生成回路により前記
第 2 のクロックを前記スキランクロックとして生成する第 1 のタイミングと、
前記スキラン選択内部信号を生成する第 2 のタイミングとを変更可能である、
ことを特徴とするスキランテスト回路。

【請求項 8】 請求項 7 記載のスキランテスト回路において、
前記スキラン選択信号生成回路は、前記第 1 のタイミングと、前記第 2 のタイ
ミングとを任意に選択可能である、
ことを特徴とするスキランテスト回路。

【請求項 9】 請求項 8 記載のスキランテスト回路において、
前記スキランチェーンの前段に記憶素子を有する、
ことを特徴とするスキランテスト回路。

【請求項 10】 請求項 9 記載のスキランテスト回路において、
スキランパターン生成時、前記スキランクロック生成回路を前記第 1 のクロッ
クと前記スキランクロックとを直結する回路に切換え可能であり、
前記スキラン選択信号生成回路を、前記スキラン選択外部信号と前記スキラン
選択内部信号とを直結する回路に切換え可能であり、
前記記憶素子を、前記記憶素子の入力と出力とを直結する回路に切換え可能で
ある、
ことを特徴とするスキランテスト回路。

【請求項 11】 第 1 のクロック及び第 2 のクロックに同期して動作する第
1 のスキランテスト回路を有する第 1 のブロックと、前記第 1 のクロックにのみ
同期する第 2 のスキランテスト回路を有する第 2 のブロックとを備え、
前記第 1 のブロックにおけるスキランテストの通常動作時刻と、前記第 2 のブ
ロックにおけるスキランテストの通常動作時刻とが異なる、

ことを特徴とするスキャンテスト制御方式。

【請求項 12】 第 1 のクロック及び第 2 のクロックに同期して動作する第 1 のスキャンテスト回路を有する第 1 のブロックと、前記第 1 のクロックにのみ同期する第 2 のスキャンテスト回路を有する第 2 のブロックと、を具備するスキャンテスト回路において、

前記第 1 のブロックと、前記第 2 のブロックとの間において、前記第 1 のクロックに同期する第 1 の複数の記憶素子と、

前記第 1 のクロック、及び前記第 2 のクロックに同期する第 2 の複数の記憶素子と、

前記第 1 の複数の記憶素子と前記第 2 のブロックとの間の第 1 の経路と、前記第 2 の複数の記憶素子と前記第 1 のブロックとの間の第 2 の経路とを選択的に切替える選択回路を備えた、

ことを特徴とするスキャンテスト回路。

【請求項 13】 請求項 12 記載のスキャンテスト回路において、

前記第 1 の複数の記憶素子と、前記第 2 の複数の記憶素子は、複数の可制御用スキャン記憶素子と複数の観測用記憶素子とで構成される、

ことを特徴とするスキャンテスト回路。

【請求項 14】 請求項 13 記載のスキャンテスト回路において、

前記複数の観測用記憶素子は、1 つの観測用記憶素子に束ねることができる、ことを特徴とするスキャンテスト回路。

【請求項 15】 請求項 14 記載のスキャンテスト回路において、

スキャンパターン生成時、前記選択回路を、前記第 1 の経路と前記第 2 の経路に分割した回路に置換え可能である、

ことを特徴とするスキャンテスト回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体集積回路内の、縮退故障および遅延故障を検出するためのスキャンテスト制御方式およびスキャンテスト回路に関するものある。

【0002】

【従来の技術】

近年、半導体の微細化技術の進展に伴い、数百万を超えるトランジスタを、1チップの中に集積することが可能となっており、このような半導体集積回路に対するテスト方式の1つとして、故障検出率が極めて高いスキャンテストが挙げられる。

【0003】

図18は、従来のスキャンテスト回路の一例である。図18において、111は、通常動作とスキャン動作とを切り替えるためのスキャン選択外部信号を入力とする外部入力端子、112は、スキャンインデータを入力する外部入力端子、114は、テストクロックを入力する外部入力端子、119～121は、通常データ線、125～127は、外部入力端子114のテストクロックの立上がり同期するスキャン記憶素子、122は、スキャン記憶素子125の出力データ線、123は、スキャン記憶素子126の出力データ線、124は、スキャン記憶素子127の出力データを出力する外部出力端子、118は、出力データ線122～123を入力とし通常データ線119～121に出力する組合せ回路を示す。

【0004】

図19は、図18のスキャン記憶素子125～127の具体例を示す回路構成図である。図19において、3は、通常データを入力する通常データ入力端子、4は、スキャンインデータを入力するスキャンイン入力端子、5は、クロックを入力するスキヤクロック入力端子、2は、通常データ入力端子の通常データとスキャンイン入力端子のスキャンインデータとを選択するスキャン選択信号入力端子、1は、スキャン選択信号入力端子2の信号が“0”のとき、通常データ入力端子3の通常データを出力し、スキャン選択信号入力端子2の信号が“1”のとき、スキャンイン入力端子4のスキャンインデータを出力するセクタ回路、6は、スキヤクロック入力端子5のクロックの立上がり同期してセクタ回路1の出力信号を記憶し出力する記憶素子、7は、記憶素子6より出力された信号を出力する出力端子を示す。

【0005】

図20は、以上のように構成されたスキャンテスト回路の動作を説明するためのタイムチャートである。1200～1204は、外部入力端子112のスキャンインデータ、1210～1212および1250～1251は、通常データ線119の通常データ、1220～1222および1260～1261は、通常データ線120の通常データ、1230～1232および1270～1271は、通常データ線121の通常データ、1198は、スキャン記憶素子127がスキャン動作で記憶している初期データ、1199は、スキャン記憶素子126がスキャン動作で記憶している初期データを示す。また、350～355は、イベントタイミングを示す。他の符号については、図18の符号と一致する信号線または外部端子における信号の波形を示す。

【0006】

以下、図18～図20に基づいて、このスキャンテスト回路の動作を説明する。外部入力端子111のスキャン選択外部信号が“0”の時、スキャン記憶素子125～127は、通常動作モードとなり通常動作が行われる。すなわち、外部入力端子114のテストクロックの立上がり同期して、スキャン記憶素子125は通常データ線119の通常データを、スキャン記憶素子126は通常データ線120の通常データを、スキャン記憶素子127は通常データ線121の通常データをそれぞれ記憶し出力する。よって、スキャン記憶素子125～127は、通常の記憶素子として働く。

【0007】

外部入力端子111のスキャン選択外部信号が“1”の時、スキャン記憶素子125～127は、スキャンモードとなりスキャン動作が行われる。すなわち、外部入力端子114のテストクロックの立上がり同期して、スキャン記憶素子125は外部入力端子112のスキャンインデータを、スキャン記憶素子126はスキャン記憶素子125の出力データを、スキャン記憶素子127はスキャン記憶素子126の出力データをそれぞれ記憶し出力する。よって、スキャン記憶素子125～127は、スキャン動作を行う記憶素子として働く。

【0008】

イベントタイミング350において、外部入力端子111のスキャン選択外部信号は“1”のため、スキャン記憶素子125～127はスキャンモードとなる。スキャン記憶素子125～127は、外部入力端子114のテストクロックの立ち上がり同期して、スキャン記憶素子125は外部入力端子112のスキャンインデータ1201を、スキャン記憶素子126はスキャン記憶素子125の出力データ1200を、スキャン記憶素子127はスキャン記憶素子126の出力データ1199をそれぞれ記憶し出力する。外部出力端子124は、スキャン記憶素子127の出力データ1199を出力する。

【0009】

イベントタイミング351において、外部入力端子111のスキャン選択外部信号は“1”のため、スキャン記憶素子125～127はスキャンモードとなる。スキャン記憶素子125～127は、外部入力端子114のテストクロックの立ち上がり同期して、スキャン記憶素子125は外部入力端子112のスキャンインデータ1202を、スキャン記憶素子126はスキャン記憶素子125の出力データ1201を、スキャン記憶素子127はスキャン記憶素子126の出力データ1200をそれぞれ記憶し出力する。外部出力端子124は、スキャン記憶素子127の出力データ1200を出力する。

【0010】

イベントタイミング352において、外部入力端子111のスキャン選択外部信号が“0”に遷移し、スキャン記憶素子125～127は通常動作モードに切替る。

【0011】

イベントタイミング353において、通常動作のスキャン記憶素子125～127は、外部入力端子114のテストクロックの立ち上がり同期して、スキャン記憶素子125は通常データ線119の通常データ1212を、スキャン記憶素子126は通常データ線120の通常データ1222を、スキャン記憶素子127は通常データ線121の通常データ1232をそれぞれ記憶し出力する。外部出力端子124は、スキャン記憶素子127の出力データ1232を出力する。

【0012】

イベントタイミング354において、外部入力端子111のスキャン選択外部信号が“1”に遷移し、スキャン記憶素子125～127はスキャンモードに切替る。

【0013】

イベントタイミング355において、スキャンモードのスキャン記憶素子125～127は、外部入力端子114のテストクロックの立ち上がり同期して、スキャン記憶素子125は外部入力端子112のスキャンインデータ1204を、スキャン記憶素子126はスキャン記憶素子125の出力データ1212を、スキャン記憶素子127はスキャン記憶素子126の出力データ1222をそれぞれ記憶し出力する。外部出力端子124は、スキャン記憶素子127の出力データ1222を出力する。

【0014】

以上の説明のように、従来のスキャンテスト回路およびスキャンテスト制御方式では、複数（ $n > 0$ の整数）個のスキャン記憶素子を有するスキャンチェーンを内蔵したスキャンテスト回路に対して、図18におけるスキャン記憶素子125～127にスキャンモードでスキャンインデータをセットし、通常動作モードで組合せ回路118から出力される通常データ線119～121の通常データをスキャン記憶素子125～127にそれぞれ記憶し、スキャンモードでスキャン記憶素子125～127に記憶された通常データを外部出力端子124にスキャンアウトし観測することにより、半導体集積回路の故障検出を行っていた（例えば、非特許文献1参照。）。

【0015】

【非特許文献1】

R. G. ベネッツ、原田章美訳、「テストブルな論理回路の設計」

【0016】

【発明が解決しようとする課題】

従来のスキャンテスト回路およびスキャンテスト制御方式では、半導体集積回路内のスキャン記憶素子に対して、スキャンインデータやスキャン選択信号を半

導体集積回路の外から直接入力する必要があったため、半導体集積回路の I/O に速度が律速し、その結果、通常動作速度まで高速にスキャンテストを実施することができなかった。このようなことから、高速な周波数を保証する半導体集積回路において、従来のスキャンテスト回路およびスキャンテスト制御方式では、周波数に依存しない縮退故障は検出可能であるが、周波数に依存する遅延故障を検出することはできなかった。

【0017】

本発明は、上記のような従来の問題点に鑑みてなされたもので、従来のスキャンテスト回路およびスキャンテスト制御方式のように半導体集積回路の外からシフトインデータやスキャン選択外部信号を与えられても、縮退故障のみならず遅延故障をも検出可能とすることのできるスキャンテスト回路、およびスキャンテスト制御方式を提供することにある。

【0018】

【課題を解決するための手段】

この目的を達成するために、本発明（請求項1）にかかるスキャンテスト制御方式は、複数（ $n > 1$ の整数）個のスキャン記憶素子を有するスキャンチェーンを内蔵し、前記1個目から $n-1$ 個目のスキャン記憶素子にデータをシフトインするための第1のクロックの周波数と、 n 個目のスキャン記憶素子にデータをシフトインし、かつ通常動作するための第2のクロックの周波数とを独立に制御するものである。

【0019】

また、本発明（請求項2）にかかるスキャンテスト制御方式は、請求項1記載のスキャンテスト制御方式において、前記第1のクロックの周波数と前記第2のクロックの周波数が異なる、としたものである。

【0020】

また、本発明（請求項3）にかかるスキャンテスト制御方式は、請求項1記載のスキャンテスト制御方式において、前記第2のクロックの周波数は、通常動作周波数、としたものである。

【0021】

また、本発明（請求項 4）にかかるスキャンテスト回路は、複数（ $n > 1$ の整数）個のスキャン記憶素子を有するスキャンチェーンと、第 1 および第 2 のクロックを入力として、任意のクロックをスキャンクロックとして出力するスキャンクロック生成回路と、前記 1 個目から $n - 1$ 個目のスキャン記憶素子にデータをシフトインするために第 1 のクロック入力を選択的に使用し、前記 n 個目のスキャン記憶素子にデータをシフトインし、かつ通常動作するための第 2 のクロック入力を選択的に使用する選択回路とを備えたものである。

【0022】

また、本発明（請求項 5）にかかるスキャンテスト回路は、請求項 4 記載のスキャンテスト回路において、スキャン選択外部信号を入力とし、前記第 2 のクロックに同期して、シフトインするための動作と前記通常動作とを選択的に切換えるスキャン選択内部信号を生成するスキャン選択信号生成回路を有するものである。

【0023】

また、本発明（請求項 6）にかかるスキャンテスト回路は、請求項 5 記載のスキャンテスト回路において、前記スキャン選択信号生成回路は、第 2 のクロックのうち、任意のクロック数だけ発生させる制御信号を生成するものである。

【0024】

また、本発明（請求項 7）にかかるスキャンテスト回路は、請求項 6 記載のスキャンテスト回路において、前記スキャン選択信号生成回路は、前記スキャンクロック生成回路により前記第 2 のクロックを前記スキャンクロックとして生成する第 1 のタイミングと、前記スキャン選択内部信号を生成する第 2 のタイミングとを変更可能であることを特徴とするものである。

【0025】

また、本発明（請求項 8）にかかるスキャンテスト回路は、請求項 7 記載のスキャンテスト回路において、前記スキャン選択信号生成回路は、前記第 1 のタイミングと、前記第 2 のタイミングとを任意に選択可能であることを特徴とするものである。

【0026】

また、本発明（請求項 9）にかかるスキャンテスト回路は、請求項 8 記載のスキャンテスト回路において、前記スキャンチェーンの前段に記憶素子を有するものである。

【0027】

また、本発明（請求項 10）にかかるスキャンテスト回路は、請求項 9 記載のスキャンテスト回路において、スキャンパターン生成時、前記スキャンクロック生成回路を前記第 1 のクロックと前記スキャンクロックとを直結する回路に切り換え可能であり、前記スキャン選択信号生成回路を、前記スキャン選択外部信号と前記スキャン選択内部信号とを直結する回路に切り換え可能であり、前記記憶素子を、前記記憶素子の入力と出力とを直結する回路に切り換え可能であることを特徴とするものである。

【0028】

また、本発明（請求項 11）にかかるスキャンテスト制御方式は、第 1 のクロック及び第 2 のクロックに同期して動作する第 1 のスキャンテスト回路を有する第 1 のブロックと、前記第 1 のクロックにのみ同期する第 2 のスキャンテスト回路を有する第 2 のブロックとを備え、前記第 1 のブロックにおけるスキャンテストの通常動作時刻と、前記第 2 のブロックにおけるスキャンテストの通常動作時刻とが異なる、ことを特徴とするものである。

【0029】

また、本発明（請求項 12）にかかるスキャンテスト回路は、第 1 のクロック及び第 2 のクロックに同期して動作する第 1 のスキャンテスト回路を有する第 1 のブロックと、前記第 1 のクロックにのみ同期する第 2 のスキャンテスト回路を有する第 2 のブロックと、を具備するスキャンテスト回路において、前記第 1 のブロックと、前記第 2 のブロックとの間において、前記第 1 のクロックに同期する第 1 の複数の記憶素子と、前記第 1 のクロック、及び前記第 2 のクロックに同期する第 2 の複数の記憶素子と、前記第 1 の複数の記憶素子と前記第 2 のブロックとの間の第 1 の経路と、前記第 2 の複数の記憶素子と前記第 1 のブロックとの間の第 2 の経路とを選択的に切り換える選択回路を備えたものである。

【0030】

また、本発明（請求項 13）にかかるスキャンテスト回路は、請求項 12 記載のスキャンテスト回路において、前記第 1 の複数の記憶素子と、前記第 2 の複数の記憶素子は、複数の可制御用スキャン記憶素子と複数の観測用記憶素子とで構成されるものである。

【0031】

また、本発明（請求項 14）にかかるスキャンテスト回路は、請求項 13 記載のスキャンテスト回路において、前記複数の観測用記憶素子は、1 つの観測用記憶素子に束ねることができることを特徴とするものである。

【0032】

また、本発明（請求項 15）にかかるスキャンテスト回路は、請求項 14 記載のスキャンテスト回路において、スキャンパターン生成時、前記選択回路を、前記第 1 の経路と前記第 2 の経路に分割した回路に置換え可能なものである。

【0033】

上記のような特徴によって、本発明のスキャンテスト回路およびスキャンテスト制御方式では、従来のスキャンテスト回路およびスキャンテスト制御方式と同等の縮退故障を検出し、さらに遅延故障をも検出することを可能とする。

【0034】

【発明の実施の形態】

以下、本発明の実施の形態について図面を参照しながら説明する。

（実施の形態 1）

図 1 は、本発明の実施の形態 1 におけるスキャンテスト回路を示すものである。図 1 において、12 は、スキャンインデータを入力する外部入力端子、13 は、通常動作クロックを入力する外部入力端子、16 は、通常動作モードとスキャンモードとを切り替えるためのスキャン選択内部信号線、17 は、スキャンクロック信号線、15 は、外部入力端子 11 より入力されるスキャン選択外部信号と外部入力端子 13 より入力される通常動作クロックと、外部入力端子 14 より入力されるテストクロックとを入力とし、スキャン選択内部信号を生成しスキャン選択内部信号線 16 に出力を行い、かつスキャンクロックを生成しスキャンクロック信号線 17 に出力を行うスキャン制御回路、19～21 は、通常データ線、

25～27は、スキャン制御回路15より生成されたスキャンクロックの立上がりに同期するスキャン記憶素子、22は、スキャン記憶素子25の出力データ線、23は、スキャン記憶素子26の出力データ線、24は、スキャン記憶素子27の出力データを出力する外部出力端子、18は、出力データ線22～23を入力とし通常データ線19～21に出力する組合せ回路を示す。

【0035】

図2は、図1に示すスキャン制御回路15の具体例を示す回路構成図である。図1と同一のものには同じ符号を付してある。図2において、32は、通常動作クロックマスク信号線、42は、出力信号線、31は、外部入力端子11より入力されたスキャン選択外部信号と、外部入力端子13より入力された通常動作クロックと、外部入力端子14より入力されたテストクロックとを入力とし、スキャン選択内部信号線16と、通常動作クロックマスク信号線32と、出力信号線42に生成した信号を出力するスキャン選択内部信号生成回路、33は、外部入力端子11より入力されたスキャン選択外部信号と、外部入力端子13より入力された通常動作クロックと、外部入力端子14より入力されたテストクロックと、通常動作クロックマスク信号線32の通常動作クロックマスク信号と、出力信号線42の信号とを入力とし、スキャン記憶素子27～30のクロックとして、スキャンクロック信号線17に生成した信号を出力するスキャンクロック生成回路である。

【0036】

図3は、図2のスキャン選択内部信号生成回路31の具体例を示す回路構成図である。図2と同一のものには同じ符号を付してある。図3において、41は、外部入力端子14より入力されたテストクロックの立上がりに同期して外部入力端子11より入力されたスキャン選択外部信号を記憶し出力する記憶素子、42は、記憶素子41の出力信号線、44は、インバータ回路、43は、インバータ回路44の出力信号線、45は、外部入力端子13より入力された通常動作クロックの立ち上がりに同期して出力信号線42の信号を記憶する m ($m > 0$ の整数) 段のシフトレジスタ、46は、外部入力端子13より入力された通常動作クロックの立ち上がりに同期して出力信号線43の信号を記憶する m ($m > 0$ の整数)

) + 2 段のシフトレジスタ、47は、m段のシフトレジスタ45の出力信号線、48は、m+2段のシフトレジスタ46の出力信号線、49は、出力信号線47および出力信号線48の信号が一致した時“1”を出力し不一致した時“0”を出力するEXNOR回路、52は、EXNOR回路49の出力信号線、50は、外部入力端子13の通常動作クロックの負論理時には、出力信号線52の信号をそのまま出力し通常動作クロックの立上がり時には出力信号線52の信号を記憶するラッチ回路、32は、ラッチ回路50の出力信号を出力する通常動作マスク信号線、51は、外部入力端子13の通常動作クロックの立下りエッジに同期して通常動作マスク信号線32の信号の反転した信号を記憶する記憶素子、53は、記憶素子51の出力信号線、54は、出力信号線47の信号と、出力信号線53の信号とを入力とし、スキャン選択内部信号線16に出力するOR回路である。

【0037】

図4は、図2のスキャンクロック生成回路33の具体例を示す回路構成図である。図2および図3と同一のものには同じ符号を付してある。図4において、61は、外部入力端子13より入力された通常動作クロックと、通常動作マスク信号線32より入力された通常動作マスク信号とを入力とするAND回路、63は、外部入力端子14より入力されたテストクロックと、外部入力端子11より入力されたスキャン選択外部信号とを入力とするAND回路、62は、AND回路61の出力信号線、64は、AND回路63の出力信号線、65は、出力信号線42の信号が“0”のとき、出力信号線62の信号をスキャンクロック信号線17に出力し、出力信号線42の信号が“1”のとき、出力信号線64の信号をスキャンクロック信号線17のスキャンクロックとして出力するセクタ回路を示す。

【0038】

図5は、図3のm段のシフトレジスタの具体例を示す回路構成図である。図3と同一のものには同じ符号を付してある。図5において、70は、外部入力端子13の通常動作クロックの立上がり時に同期して出力信号線42の信号を記憶し出力信号線47に出力する記憶素子を示す。

【0039】

図6は、図3の $m+2$ 段のシフトレジスタの具体例を示す回路構成図である。図3と同一のものには同じ符号を付してある。71は、外部入力端子13の通常動作クロックの立ち上がりに同期して出力信号線43の信号を記憶し出力する記憶素子、72は、外部入力端子13の通常動作クロックの立ち上がりに同期して記憶素子71の出力信号を記憶し出力する記憶素子、73は、外部入力端子13の通常動作クロックの立ち上がりに同期して記憶素子72の出力信号を記憶し出力信号線48に出力する記憶素子を示す。

【0040】

図7は、以上のように構成されたスキャンテスト回路の動作を説明するためのタイムチャートである。図7において、200～204は外部入力端子12のスキャンインデータ、210～215は通常データ線19の通常データ、220～225は通常データ線20の通常データ、230～235は通常データ線21の通常データ、198はスキャン記憶素子27がスキャン動作で記憶している初期データ、199はスキャン記憶素子26がスキャン動作で記憶している初期データを示す。また、300～313は、イベントタイミングを示す。他の符号については、図1～図6の符号と一致する信号線または外部端子における信号の波形を示す。

【0041】

以下、図1～図7に基づいて、このスキャンテスト回路の動作を説明する。外部入力端子13の通常動作クロックは、外部入力端子14のテストクロックに対して、6通倍であるとする。また、 $m=1$ とし、記憶素子41、51、70には“1”を、記憶素子71、72、73、ラッチ回路50には“0”をそれぞれ初期値として記憶しているものとする。

【0042】

スキャン選択内部信号線16の信号が“0”の時、スキャン記憶素子25～27は、通常動作モードとなり通常動作が行われる。すなわち、スキャンクロック信号線17のクロックの立ち上がりに同期して、スキャン記憶素子25は通常データ線19の通常データを、スキャン記憶素子26は通常データ線20の通常デー

タを、スキャン記憶素子 27 は通常データ線 21 の通常データをそれぞれ記憶し出力する。よって、スキャン記憶素子 25 ~ 27 は、通常の記憶素子として働く。

【0043】

スキャン選択内部信号線 16 の信号が “1” の時、スキャン記憶素子 25 ~ 27 は、スキャンモードとなりスキャン動作が行われる。すなわち、スキャンクロック信号線 17 のクロックの立ち上がり同期して、スキャン記憶素子 25 は外部入力端子 12 のスキャンインデータを、スキャン記憶素子 26 はスキャン記憶素子 25 の出力データを、スキャン記憶素子 27 はスキャン記憶素子 26 の出力データをそれぞれ記憶し出力する。よって、スキャン記憶素子 25 ~ 27 は、スキャン動作を行う記憶素子として働く。

【0044】

イベントタイミング 300 において、記憶素子 41 は、外部入力端子 14 のテストクロックの立ち上がり同期して外部入力端子 11 のスキャン選択外部信号 “1” を記憶し出力信号線 42 に出力する。しかし、記憶素子 41 の値は変わらない。このとき、セレクト回路 65 は、出力信号線 42 の信号の “1” により出力信号線 64 を選択し、かつ AND 回路 63 は、外部入力端子 11 のスキャン選択外部信号が “1” を維持しているため、外部入力端子 14 のテストクロックを出力信号線 64 に出力する。よって、スキャンクロック信号線 17 の信号は、外部入力端子 14 のテストクロックとなる。

【0045】

その他、記憶素子 51、記憶素子 70 ~ 73、ラッチ回路 50 の値も記憶素子 41 と同様に変わらない。よって、スキャン選択信号線 16 のスキャン選択信号は “1” を維持するため、スキャン記憶素子 25 ~ 27 はスキャンモードとなる。スキャン記憶素子 25 ~ 27 は、外部入力端子 14 のテストクロックの立ち上がり同期して、スキャン記憶素子 25 は外部入力端子 12 のスキャンインデータ 201 を、スキャン記憶素子 26 はスキャン記憶素子 25 の出力データ 200 を、スキャン記憶素子 27 はスキャン記憶素子 26 の出力データ 199 をそれぞれ記憶し出力する。外部出力端子 24 は、スキャン記憶素子 27 の出力データ 1

99を出力する。つまり、イベントタイミング300におけるスキャン動作は、テストクロックを用いてスキャンイン・スキャンアウトを行う。

【0046】

イベントタイミング301において、イベントタイミング300と同様、外部入力端子11のスキャン選択外部信号は“1”を維持している為、スキャンクロック信号線17の信号は、外部入力端子14のテストクロックとなる。また、スキャン選択信号線16の値は“1”を維持するため、スキャン記憶素子25～27はスキャンモードとなる。スキャン記憶素子25～27は、テストクロックの立ち上がり同期して、スキャン記憶素子25は外部入力端子12のスキャンインデータ202を、スキャン記憶素子26はスキャン記憶素子25の出力データ201を、スキャン記憶素子27はスキャン記憶素子26の出力データ200をそれぞれ記憶し出力する。外部出力端子24は、スキャン記憶素子27の出力データ200を出力する。つまり、イベントタイミング301におけるスキャン動作は、テストクロックを用いてスキャンイン・スキャンアウトを行う。

【0047】

イベントタイミング302において、外部入力端子11のスキャン選択外部信号は“0”に遷移する。そのためAND回路63は“0”を出力信号線64に出力し、セレクト回路65を介してスキャンクロック信号線17のスキャンクロックを“0”に維持する。

【0048】

イベントタイミング303において、記憶素子41は、外部入力端子14のテストクロックの立ち上がり同期して、外部入力端子11のスキャン選択外部信号の“0”を記憶し出力信号線42に出力する。また、インバータ回路44は、記憶素子41の出力値“0”を入力し出力信号線43に“1”を出力する。セレクト回路65は、出力信号線42の信号が“0”になることにより出力信号線62を選択しスキャンクロック信号線17に出力する。このとき、通常動作クロックマスク信号線32の信号は“0”であるため、AND回路61により外部入力端子13の通常動作クロックはマスクされ、出力信号線62は“0”である。よって、スキャンクロック信号線17のスキャンクロックは“0”を維持する。

【0049】

イベントタイミング304において、 m 段シフトレジスタ45の記憶素子70は、外部入力端子13の通常動作クロックの立ち上がりに同期して、記憶素子41の出力信号の“0”を記憶し出力する。また、外部入力端子13の通常動作クロックの立ち上がりに同期して、 $m+2$ 段シフトレジスタ46の記憶素子71は、出力信号線43の信号の“1”を記憶し出力し、記憶素子72は、記憶素子71の出力信号の“0”を記憶し出力し、記憶素子73は、記憶素子72の出力信号の“0”を記憶し出力する。そして、EXNOR回路49は、出力信号線47の信号の“0”と出力信号線48の信号“0”を入力して、出力信号線52に“1”を出力する。

【0050】

イベントタイミング305において、記憶素子51は、外部入力端子13の通常動作クロックの立ち下がりに同期して、ラッチ回路50の出力信号の“0”の反転値“1”を記憶し出力する。このとき出力信号線47の信号は“0”であるため、OR回路54は、記憶素子51の出力信号“1”をスキャン選択内部信号線16に出力する。しかしスキャン選択内部信号線16のスキャン選択内部信号の値は変わらない。一方、ラッチ回路50は、外部入力端子13の通常動作クロックの立ち下がり時、出力信号線52の信号の“1”を通常動作クロックマスク信号線32に出力する。よって、AND回路61は外部入力端子13の通常動作クロックを出力信号線62に出力し、セクタ回路65は出力信号線62の信号をスキャンクロック信号線17に出力する。そのため、スキャンクロック信号線17の信号は、通常動作クロックとなる。

【0051】

イベントタイミング306において、 m 段シフトレジスタ45の記憶素子70は、外部入力端子13の通常動作クロックの立ち上がりに同期して、記憶素子41の出力信号の“0”を記憶し出力信号線47に出力するが値は変わらない。また、外部入力端子13の通常動作クロックの立ち上がりに同期して、 $m+2$ 段シフトレジスタ46の記憶素子71は、出力信号線43の信号の“1”を記憶し出力し、記憶素子72は、記憶素子71の出力信号の“1”を記憶し出力し、記憶

素子 73 は、記憶素子 72 の出力信号の“0”を記憶し出力する。そして、EX NOR 回路 49 は、出力信号線 47 の信号の“0”と出力信号線 48 の信号“0”を入力して、出力信号線 52 に“1”を出力するが値は変わらない。一方、スキャン選択内部信号線 16 の信号が“1”に維持されているため、スキャンモードであるスキャン記憶素子 25～27 は、スキャンクロック信号線 17 の通常動作クロックの立ち上がり同期して、スキャン記憶素子 25 は、外部入力端子 12 のスキャンインデータ 203 を記憶し出力し、スキャン記憶素子 26 は、スキャン記憶素子 25 の出力データ 202 を記憶し出力し、スキャン記憶素子 27 は、スキャン記憶素子 26 の出力データ 201 を記憶し出力する。外部出力端子 24 は、スキャン記憶素子 27 の出力データ 201 を出力する。つまり、イベントタイミング 306 における最後のスキャン動作は、通常動作クロックを用いてスキャンイン・スキャンアウトを行う。

【0052】

イベントタイミング 307 において、記憶素子 51 は、外部入力端子 13 の通常動作クロックの立ち下がり同期して、ラッチ回路 50 の出力信号“1”の反転値“0”を記憶し出力する。このとき出力信号線 47 の信号は“0”であるため、OR 回路 54 は、記憶素子 51 の出力信号“0”をスキャン選択内部信号線 16 に出力する。よって、スキャン記憶素子 25～27 は、スキャンモードから通常動作モードに切替る。

【0053】

イベントタイミング 308 において、外部入力端子 11 のスキャン選択外部信号は“1”に遷移する。そのため AND 回路 63 は、外部入力端子 14 のテストクロックを出力信号線 64 に出力するが、セクタ回路 65 は、出力信号線 62 を選択しているため、スキャンクロック信号線 17 には影響しない。一方、m 段シフトレジスタ 45 の記憶素子 70 は、外部入力端子 13 の通常動作クロックの立ち上がり同期して、記憶素子 41 の出力信号の“0”を記憶し出力する。また、外部入力端子 13 の通常動作クロックの立ち上がり同期して、m+2 段シフトレジスタ 46 の記憶素子 71 は、出力信号線 43 の信号の“1”を記憶し出力し、記憶素子 72 は、記憶素子 71 の出力信号の“1”を記憶し出力し、記憶

素子 73 は、記憶素子 72 の出力信号の “1” を記憶し出力する。そして、EX NOR 回路 49 は、出力信号線 47 の信号の “0” と出力信号線 48 の信号 “1” を入力して、出力信号線 52 に “0” を出力する。通常動作モードに切替った スキャン記憶素子 25 ~ 27 は、外部入力端子 13 の通常動作クロックの立ち上がり に同期して、スキャン記憶素子 25 は、通常データ線 19 の通常データ 213 を記憶し出力し、スキャン記憶素子 26 は、通常データ線 20 の通常データ 223 を記憶し出力し、スキャン記憶素子 27 は、通常データ線 21 の通常データ 233 を記憶し出力する。外部出力端子 24 は、スキャン記憶素子 27 の出力データ 233 を出力する。つまり、イベントタイミング 308 における通常動作は、通常動作クロックを用いて行う。

【0054】

イベントタイミング 309 において、記憶素子 51 は、外部入力端子 13 の通常動作クロックの立ち下がり に同期して、ラッチ回路 50 の出力信号の “1” の反転値 “0” を記憶し出力する。このとき出力信号線 47 の信号は “0” であるため、OR 回路 54 は、記憶素子 51 の出力信号 “0” をスキャン選択内部信号線 16 に出力する。しかしスキャン選択内部信号線 16 の信号の値は変わらない。一方、ラッチ回路 50 は、外部入力端子 13 の通常動作クロックの立ち下がり時、出力信号線 52 の信号の “0” を通常動作クロックマスク信号線 32 に出力する。よって、AND 回路 61 は、“0” の信号を出力信号線 62 に出力し、通常動作クロックをマスクする。

【0055】

イベントタイミング 310 において、記憶素子 51 は、外部入力端子 13 の通常動作クロックの立ち下がり に同期して、ラッチ回路 50 の出力信号の “0” の反転値 “1” を記憶し出力する。このとき出力信号線 47 の信号は “0” であるため、OR 回路 54 は、記憶素子 51 の出力信号 “1” をスキャン選択内部信号線 16 に出力する。よって、スキャン記憶素子 25 ~ 27 は、通常動作モードからスキャンモードに切替る。一方、ラッチ回路 50 は、外部入力端子 13 の通常動作クロックの立ち下がり時、出力信号線 52 の信号の “0” を通常動作クロックマスク信号線 32 に出力するが値は変わらない。

【0056】

イベントタイミング311において、記憶素子41は、外部入力端子14のテストクロックの立ち上がりに同期して、外部入力端子11のスキャン選択外部信号の“1”を記憶し出力信号線42に出力する。また、インバータ回路44は、記憶素子41の出力値“1”を入力し、出力信号線43に“0”を出力する。セレクト回路65は、出力信号線42の“1”により出力信号線64の信号を選択しスキャンクロック信号線17に出力する。このときAND回路63は、外部入力端子11のスキャン選択外部信号が“1”であるため外部入力端子14のテストクロックを出力信号線64に出力する。よって、スキャンクロック信号線17の信号は、テストクロックになる。スキャン記憶素子25～27は、テストクロックの立ち上がりに同期して、スキャン記憶素子25は外部入力端子12のスキャンインデータ204を、スキャン記憶素子26はスキャン記憶素子25の出力データ213を、スキャン記憶素子27はスキャン記憶素子26の出力データ223をそれぞれ記憶し出力する。外部出力端子24は、スキャン記憶素子27の出力データ223を出力する。つまり、イベントタイミング311におけるスキャン動作は、テストクロックを用いてスキャンイン・スキャンアウトを行う。

【0057】

イベントタイミング312において、m段シフトレジスタ45の記憶素子70は、外部入力端子13の通常動作クロックの立ち上がりに同期して、記憶素子41の出力信号の“1”を記憶し出力信号線42に出力する。また、外部入力端子13の通常動作クロックの立ち上がりに同期して、m+2段シフトレジスタ46の記憶素子71は、出力信号線43の信号の“0”を記憶し出力し、記憶素子72は、記憶素子71の出力信号の“1”を記憶し出力し、記憶素子73は、記憶素子72の出力信号の“1”を記憶し出力する。そして、EXNOR回路49は、出力信号線47の信号の“1”と出力信号線48の信号“1”を入力して、出力信号線52に“1”を出力する。

【0058】

イベントタイミング313において、記憶素子51は、外部入力端子13の通常動作クロックの立ち下がりに同期して、ラッチ回路50の出力信号の“0”の

反転値“1”を記憶し出力する。このとき出力信号線47の信号は“1”であるため、OR回路54は、記憶素子51の出力信号“1”をスキャン選択内部信号線16に出力する。よってスキャン選択内部信号線16の信号の値は変わらずスキャン記憶素子25～27はスキャンモードを維持する。一方、ラッチ回路50は、外部入力端子13の通常動作クロックの立ち下がり時、出力信号線52の信号の“1”を通常動作クロックマスク信号線32に出力する。よって、AND回路61は、外部入力端子13の通常動作クロックを出力信号線62に出力する。しかし、セレクト回路65は、出力信号線42の信号が“1”に維持されているため出力信号線64の信号を選択しスキャンクロック信号線17に出力する。よって、スキャンクロック信号線17の信号は、テストクロックを維持する。

【0059】

以上説明してきた動作について、図8に示すフローを参照して、本発明の実施形態を用いた検査系列生成の処理動作の概略を説明する。図8において、800～812は、ステップを示す。

【0060】

(1) ステップ800～802での処理

本実施の形態1のスキャンテスト回路に外部入力端子14のテストクロック、外部入力端子13の通常動作クロック、外部入力端子11のスキャン選択外部信号を入力する。スキャン制御回路15は、スキャンクロック信号線17のスキャンクロックを外部入力端子14のテストクロックにし、また外部入力端子11のスキャン選択外部信号よりスキャン選択内部信号線16のスキャン選択内部信号を生成して n ($n=3$) 個のスキャン記憶素子25～27をスキャンモードにする。

【0061】

(2) ステップ803での処理

n ($n=3$) - 1 個目のスキャン記憶素子26にスキャンインデータが記憶されているかどうかを判定する。図7において、イベントタイミング300では、まだスキャン記憶素子26にスキャンインデータ201が記憶されていないため判定はNOとなり、ステップ804に進む。

【0062】

(3) ステップ804での処理

スキャン記憶素子25～26は、外部入力端子14のテストクロックの立ち上がりにより同期して外部入力端子12のスキャンインデータを記憶し出力する。

【0063】

(4) ステップ803での処理

n ($n=3$) - 1 個目のスキャン記憶素子26にスキャンインデータが記憶されているかどうかを判断する。図7において、イベントタイミング3.01では、スキャン記憶素子26にスキャンインデータ201が記憶されているため判定はYESとなり、ステップ805に進む。

【0064】

(5) ステップ805での処理

図7において、イベントタイミング302で、外部入力端子11のスキャン選択外部信号を通常動作モードに切替える。しかし、スキャン制御回路15は、スキャン選択内部信号線16のスキャン選択内部信号を現状のスキャンモードを維持させる。よって、 n ($n=3$) 個のスキャン記憶素子25～27は、スキャンモードのままである。

【0065】

(6) ステップ806での処理

図7において、イベントタイミング303で、スキャン制御回路15は、スキャンクロック信号線17のスキャンクロックを外部入力端子13の通常動作クロックに切替える。しかし、スキャン制御回路15は、通常動作クロックをマスクして n ($n=3$) 個のスキャン記憶素子25～27にクロックが入らないようにする。

【0066】

(7) ステップ807での処理

スキャン制御回路15は、通常動作クロックのマスクを外し、図7において、イベントタイミング306で、 n ($n=3$) 個のスキャン記憶素子25～27は、通常動作クロックに同期して外部入力端子12のスキャンインデータを記憶し

出力する。

【0067】

(8) ステップ808での処理

図7において、イベントタイミング307で、スキャン制御回路15は、スキャン選択内部信号線16のスキャン選択内部信号を通常動作モードに切替える。

【0068】

(9) ステップ809での処理

図7において、イベントタイミング308で、 n ($n=3$) 個のスキャン記憶素子25～27は、通常動作クロックに同期して通常データを記憶し出力する。このとき外部入力端子11のスキャン選択外部信号はスキャンモードに切替わるが、スキャン制御回路15は、スキャン選択内部信号線16のスキャン選択内部信号を通常動作モードに維持させる。

【0069】

(10) ステップ810での処理

図7において、イベントタイミング310で、スキャン制御回路15は、スキャン選択内部信号線16のスキャン選択内部信号をスキャンモードに切替える。また、イベントタイミング311で、スキャンクロック信号線17のスキャンクロックを外部入力端子14のテストクロックに切替える。

【0070】

(11) ステップ811での処理

ここでは終了の判定を行う。テストすべきスキャンインデータがまだ残っている場合、判定はNOとなり、ステップ803に進み、以上説明してきた処理を繰り返す。テストすべきスキャンインデータが残っていない場合、判定はYESとなり、ステップ812に進む。

【0071】

(12) ステップ812での処理

ステップ809で n ($n=3$) 個のスキャン記憶素子25～27が記憶した通常データの全てを外部入力端子14のテストクロックに同期して外部出力端子24に出力して終了する。

【0072】

以上のように本発明の実施の形態1によれば、複数 ($n > 1$ の整数) 個のスキャン記憶素子を有するスキャンチェーンを内蔵し、1個目から $n - 1$ 個目のスキャン記憶素子にデータをシフトインするための第1のクロックの周波数と、 n 個目のスキャン記憶素子にデータをシフトインし、かつ通常動作するための第2のクロックの周波数とを独立に制御することにより、スキャン記憶素子に対して安定したシフトインデータの入力 (スキャン動作) と、通常動作との両立を実現し、縮退故障の検出のみならず、遅延故障の検出をも効果的に行うことを可能とする。

【0073】

(実施の形態2)

本発明の実施の形態1では、従来のスキャンテストのスキャン動作に対して1回多くなる。従来のスキャンテストの図20のタイミングチャートと、図7のタイミングチャートとを比較すれば明らかであるが、従来のスキャンテストでは、図20において、イベントタイミング351でスキャン記憶素子125～127は最後のスキャン動作を行い、外部入力端子111のスキャン選択外部信号が“0”に切替った後のイベントタイミング353で、スキャン記憶素子125～127は通常動作を行う。しかしながら、本発明の実施の形態1におけるスキャンテストでは、図7において、イベントタイミング301でスキャン記憶素子25～27は最後から2番目のスキャン動作を行い、外部入力端子11のスキャン選択外部信号が“0”に切替った後のイベントタイミング353では、まだスキャン記憶素子25～27は最後のスキャン動作を行わない。スキャン記憶素子25～27が最後のスキャン動作を行うのは、イベントタイミング306である。つまり、従来のスキャンテストのシフトインデータをそのまま本発明の実施の形態1に適用すると、スキャン動作が1回多くなるため、通常動作時にスキャン記憶素子25～27が記憶したデータが、従来のスキャンテストでのそれと異なってしまう。そこで本発明の実施の形態2では、通常動作時にスキャン記憶素子25～27が記憶したデータと従来のスキャンテストでのそれとが同じになるように、スキャン記憶素子25～27のスキャンチェーンに所要の回路を付加する。

【0074】

図10は、本発明の実施の形態2におけるスキャンテスト回路を示すものである。図10において、図1と同一のものには同じ符号を付してある。図10において、28は、今回新たに追加した記憶素子、29は、記憶素子28の出力信号線を示す。その他の回路構成については、実施の形態1と同様である。

【0075】

図11は、以上のように構成されたスキャンテスト回路の動作を説明するためのタイムチャートである。図7と同一のものには同じ符号を付してある。400～403は、通常データ線19の通常データ、410～413は、通常データ線20の通常データ、420～423は、通常データ線21の通常データ、180は、スキャン記憶素子25がスキャン動作で記憶している初期データを示す。また、360～364は、イベントタイミングを示す。他の符号については、図1～図6および図10の符号と一致する信号線または外部端子における信号の波形を示す。

【0076】

以下、図10および図11に基づいて、このスキャンテスト回路の動作を、記憶素子28およびスキャン記憶素子25～27のデータについてのみ説明する。その他の動作については実施の形態1と同様であるため、実施の形態1で代用する。

【0077】

イベントタイミング360において、記憶素子28は、外部入力端子14のテストクロックの立上がり同期して外部入力端子12のスキャンインデータ201を記憶し出力する。スキャンモードであるスキャン記憶素子25～27について、スキャン記憶素子25は、外部入力端子14のテストクロックの立上がり同期して記憶素子28の出力データ200を記憶し出力する。スキャン記憶素子26は、外部入力端子14のテストクロックの立上がり同期してスキャン記憶素子25の出力データ180を記憶し出力する。スキャン記憶素子27は、外部入力端子14のテストクロックの立上がり同期してスキャン記憶素子26の出力データ199を記憶し出力する。外部出力端子24は、スキャン記憶素子27

の出力データ 199 を出力する。

【0078】

イベントタイミング 361 において、記憶素子 28 は、外部入力端子 14 のテストクロックの立上がり同期して外部入力端子 12 のスキャンインデータ 202 を記憶し出力する。スキャンモードであるスキャン記憶素子 25～27 について、スキャン記憶素子 25 は、外部入力端子 14 のテストクロックの立上がり同期して記憶素子 28 の出力データ 201 を記憶し出力する。スキャン記憶素子 26 は、外部入力端子 14 のテストクロックの立上がり同期してスキャン記憶素子 25 の出力データ 200 を記憶し出力する。スキャン記憶素子 27 は、外部入力端子 14 のテストクロックの立上がり同期してスキャン記憶素子 26 の出力データ 180 を記憶し出力する。外部出力端子 24 は、スキャン記憶素子 27 の出力データ 180 を出力する。

【0079】

イベントタイミング 362 において、記憶素子 28 は、外部入力端子 13 の通常動作クロックの立上がり同期して外部入力端子 12 のスキャンインデータ 203 を記憶し出力する。スキャンモードであるスキャン記憶素子 25～27 について、スキャン記憶素子 25 は、外部入力端子 13 の通常動作クロックの立上がり同期して記憶素子 28 の出力データ 202 を記憶し出力する。スキャン記憶素子 26 は、外部入力端子 13 の通常動作クロックの立上がり同期してスキャン記憶素子 25 の出力データ 201 を記憶し出力する。スキャン記憶素子 27 は、外部入力端子 13 の通常動作クロックの立上がり同期してスキャン記憶素子 26 の出力データ 200 を記憶し出力する。外部出力端子 24 は、スキャン記憶素子 27 の出力データ 200 を出力する。このとき、スキャン記憶素子 25～27 は、従来のスキャンテストの図 20 におけるイベントタイミング 351 と同じデータを記憶しているため、通常データ線 19～21 の通常データも、図 20 におけるイベントタイミング 351 と同じ通常データとなる。つまり、通常データ線 19 の通常データは 212 に、通常データ線 20 の通常データは 222 に、通常データ線 21 の通常データは 232 になる。

【0080】

イベントタイミング 363 において、記憶素子 28 は、外部入力端子 13 の通常動作クロックの立上がり同期して外部入力端子 12 のスキャンインデータ 203 を記憶し出力する。通常動作であるスキャン記憶素子 25 ~ 27 について、スキャン記憶素子 25 は、外部入力端子 13 の通常動作クロックの立上がり同期して通常データ線 19 の通常データ 212 を記憶し出力する。スキャン記憶素子 26 は、外部入力端子 13 の通常動作クロックの立上がり同期して通常データ線 20 の通常データ 222 を記憶し出力する。スキャン記憶素子 27 は、外部入力端子 13 の通常動作クロックの立上がり同期して通常データ線 21 の通常データ 232 を記憶し出力する。外部出力端子 24 は、スキャン記憶素子 27 の出力データ 232 を出力する。

【0081】

イベントタイミング 364 において、記憶素子 28 は、外部入力端子 14 のテストクロックの立上がり同期して外部入力端子 12 のスキャンインデータ 204 を記憶し出力する。スキャンモードであるスキャン記憶素子 25 ~ 27 について、スキャン記憶素子 25 は、外部入力端子 14 のテストクロックの立上がり同期して記憶素子 28 の出力データ 203 を記憶し出力する。スキャン記憶素子 26 は、外部入力端子 14 のテストクロックの立上がり同期してスキャン記憶素子 25 の出力データ 212 を記憶し出力する。スキャン記憶素子 27 は、外部入力端子 14 のテストクロックの立上がり同期してスキャン記憶素子 26 の出力データ 222 を記憶し出力する。外部出力端子 24 は、スキャン記憶素子 27 の出力データ 222 を出力する。

【0082】

以上のように本発明の実施の形態 2 におけるスキャンテスト回路およびスキャンテスト制御方式によれば、n 個のスキャン記憶素子を有するスキャンチェーンの前段に記憶素子を設けるようにしたので、通常動作時にスキャン記憶素子が記憶したデータと従来のスキャンテストでのそれとが同じになり、従来のスキャンテストのシフトインデータをそのまま適用することができ、かつ半導体集積回路の縮退故障の検出率がそのまま保たれる効果が得られる。

【0083】

(実施の形態 3)

本発明の実施の形態 2 では、通常動作時にスキャン記憶素子が記憶したデータと従来のスキャンテストでのそれとが同じになるため、従来のスキャンテストのスキャンインデータをそのまま適用することが可能である。しかしながら、スキャンパターンを生成する際、半導体集積回路の外部から入力するスキャン選択外部信号とスキャン選択内部信号とが同一の信号でなくてはならず、かつ半導体集積回路の外部から入力するスキャンインデータとスキャン記憶素子へのスキャンインデータとが単一のクロックで同期しなければならないというスキャン設計規約がある場合、本発明の実施の形態 2 ではそのスキャン設計規約に反してしまう。そこで本発明の実施の形態 3 では、スキャンパターン生成時にスキャン制御回路 15 および記憶素子 28 を別の回路に置換えて、従来のスキャンテスト回路と同等の回路構成にすることによって前述のスキャン設計規約に反さないようにする。

【0084】

図 12 は、本発明の実施の形態 3 におけるスキャンテスト回路を示すものである。図 10 と同一のものには同じ符号を付してある。図 12 において、80 は、図 10 のスキャン制御回路 15 に対して、スキャン選択外部信号を入力する外部入力端子 11 をスキャン選択内部信号線 16 に接続し、テストクロックを入力する外部入力端子 14 をスキャンクロック信号線 17 に接続する置換え回路、81 は、図 10 の記憶素子 28 に対して、スキャンインデータを入力する外部入力信号 12 を記憶素子 28 の出力信号線 29 に接続する置換え回路を示す。その他の回路構成については、実施の形態 2 と同様である。

【0085】

以上のような回路構成をとることにより、図 18 に示す従来のスキャンテスト回路と同等の回路構成となり、前述のスキャン設計規約を満足することができる。よって、実施の形態 3 のスキャンテスト回路で生成したスキャンパターンを実施の形態 2 に適用することにより、実施の形態 2 で説明した動作が可能となる。

【0086】

(実施の形態 4)

本発明の実施の形態 2 において、例えば、半導体集積回路内の第 1 のブロックは本発明の実施の形態 2 のスキャンテストを実施し、第 2 のブロックは従来のスキャンテストを実施する場合を考えた時、通常動作時において、第 1 のブロックから第 2 のブロックへの意図したデータの受け渡しが行われにくいという課題がある。

【0087】

この課題を説明するために、半導体集積回路内の第 1 のブロックは本発明の実施の形態 2 のスキャンテストを実施し、第 2 のブロックは従来のスキャンテストを実施するスキャンテスト回路を図 13 に示す。図 13 において、図 10 および図 18 と同一のものには同じ符号を付してある。

【0088】

図 13 において、158 は、出力データ線 23 を入力し通常データ線 119 を出力する組合せ回路を示す。その他の回路構成について、第 1 のブロックは図 10 と同様で、第 2 のブロックは通常データ線 119 が組合せ回路 158 に接続されること以外は図 18 と同様である。

【0089】

図 14 は、以上のように構成されたスキャンテスト回路の動作を説明するためのタイムチャートである。図 13 と同一のものには同じ符号を付してある。700 は、スキャン記憶素子 127 がスキャン動作で記憶している初期データ、701 は、スキャン記憶素子 126 がスキャン動作で記憶している初期データ、702 ～ 706 は、外部入力端子 112 のスキャンインデータ、708 ～ 713 は、通常データ線 119 の通常データ、751 は、スキャン記憶素子 126 が通常動作で記憶するデータ、752 は、スキャン記憶素子 127 が通常動作で記憶するデータ、720 は、スキャン記憶素子 27 がスキャン動作で記憶している初期データ、721 は、スキャン記憶素子 26 がスキャン動作で記憶している初期データ、722 は、スキャン記憶素子 25 がスキャン動作で記憶している初期データ、723 ～ 727 は、外部入力端子 12 のスキャンインデータ、730 は、スキャン記憶素子 25 の通常動作で記憶するデータ、735 は、スキャン記憶素子 26 の通常動作で記憶するデータ、736 は、スキャン記憶素子 27 の通常動作で

記憶するデータ、370～371は、イベントタイミングを示す。他の符号については、図13の符号と一致する信号線または外部端子における信号の波形を示す。

【0090】

以下、図13および図14に基づいて、このスキャンテスト回路の動作を、通常データ線119と、スキャン記憶素子26と、スキャン記憶素子125のデータについてのみ説明する。その他の動作については、従来の技術および実施の形態2と同様であるため、従来の技術および実施の形態2で代用する。

【0091】

イベントタイミング370において、スキャンモードで、かつ最後から2番目のスキャン動作であるスキャン記憶素子26は、スキャン記憶素子25の出力データ723を記憶し出力し続けている。組合せ回路158は、出力データ723を入力して通常データ線119に通常データ710を出力し続けている。通常動作モードであるスキャン記憶素子125は、通常データ710を外部入力端子14のテストクロックの立ち上がりに同期して記憶し出力する。

【0092】

イベントタイミング371において、スキャンモードで、かつ最後のスキャン動作であるスキャン記憶素子26は、スキャン記憶素子25の出力データ724を外部入力端子13の通常動作クロックの立ち上がりに同期して記憶し出力する。また、組合せ回路158は、出力データ724を入力して通常データ線119に通常データ711を出力する。

【0093】

本来、スキャン記憶素子125は、この出力データ711を通常動作モードで記憶し出力しなければならない。しかしながら、第1のブロックの最後のスキャン動作タイミングおよび通常動作タイミングと第2のブロックのそれとが異なるため、スキャン記憶素子125は、通常動作モードで出力データ711を記憶し出力することはできず、出力データ710を記憶し出力してしまう。

【0094】

そこで本発明の実施の形態4では、本発明の実施の形態2のスキャンテストと

従来のスキャンテストとを同時に動作させてもブロック間の意図したデータの受け渡しを可能とし、かつブロック間の縮退故障を検出できるように、ブロック間に所要の回路を加える。

【0095】

図15は、本発明の実施の形態4におけるスキャンテスト回路を示すものである。図13と同一のものには同じ符号を付してある。図15において、150は、1に固定する1固定データ線、151は、スキャンインデータを入力する外部入力端子、152は、可制御用のスキャン記憶素子、153は、スキャン記憶素子152の出力データ線、154は、観測用の記憶素子、155は、記憶素子154の出力データを出力する外部出力端子、156は、スキャン選択内部信号線16のスキャン選択内部信号が“0”のとき、出力データ線23のデータを出力し、スキャン選択内部信号線16のスキャン選択内部信号が“1”のとき、出力データ線153のデータを出力するセレクト回路、157は、セレクト回路156の出力データ線を示す。その他の回路構成については、図13と同様である。

【0096】

図16は、以上のように構成されたスキャンテスト回路の動作を説明するためのタイムチャートである。図14と同一のものには同じ符号を付してある。714および715は、通常データ線119の通常データを示す。他の符号については、図13および図15の符号と一致する信号線および外部端子における信号の波形を示す。

【0097】

以下、図15および図16に基づいて、このスキャンテスト回路の動作を通常データ線119と、スキャン記憶素子26と、スキャン記憶素子125と、スキャン記憶素子152と、記憶素子154のデータについてのみ説明する。その他の動作については、従来の技術および実施の形態2と同様であるため、従来の技術および実施の形態2の説明で代用する。

【0098】

イベントタイミング372において、スキャンモードで、かつ最後から2番目のスキャン動作であるスキャン記憶素子26は、スキャン記憶素子25の出力デ

ータ 723 を記憶し出力し続ける。一方セクタ回路 156 は、スキャン選択内部信号線 16 のスキャン選択内部信号が “1” であるため、スキャン記憶素子 152 の出力データ 724 を出力し続ける。組合せ回路 158 は、出力データ 724 を入力して通常データ線 119 に通常データ 711 を出力し続ける。また、外部入力端子 11 のスキャン選択外部信号は “0” に遷移するため、スキャン記憶素子 125 は、通常動作モードに切替る。

【0099】

イベントタイミング 373 において、通常動作モードであるスキャン記憶素子 125 は、通常データ 711 を外部入力端子 14 のテストクロックの立ち上がり同期して記憶し出力する。セクタ回路 156 は、スキャン選択内部信号線 16 のスキャン選択内部信号が “1” であるため、可制御用のスキャン記憶素子 152 の出力データ “1” を出力する。組合せ回路 158 は、可制御用のスキャン記憶素子 152 の出力データ “1” を入力して通常データ線 119 に通常データ 714 を出力する。

【0100】

イベントタイミング 374 において、スキャンモードで、かつ最後のスキャン動作であるスキャン記憶素子 26 は、スキャン記憶素子 25 の出力データ 724 を記憶し出力する。セクタ回路 156 は、スキャン選択内部信号線 16 のスキャン選択内部信号が “1” であるため、可制御用のスキャン記憶素子 152 の出力データ “1” を出力し続ける。組合せ回路 158 は、可制御用のスキャン記憶素子 152 の出力データ “1” を入力して通常データ線 119 に通常データ 714 を出力し続ける。

【0101】

イベントタイミング 375 において、セクタ回路 156 は、スキャン選択内部信号線 16 のスキャン選択内部信号が “0” に遷移するため、スキャン記憶素子 26 の出力データ 724 を出力する。組合せ回路 158 は、スキャン記憶素子 26 の出力データ 724 を入力して通常データ線 119 に通常データ 711 を出力する。しかし、スキャン記憶素子 125 にはクロックが入らないため通常データ線 119 のデータ 711 を記憶することはない。

【0102】

イベントタイミング376において、観測用の記憶素子154は、スキャン記憶素子26の出力データ724を外部入力端子13の通常動作クロックの立上がりにより同期して記憶し外部出力端子155に出力する。セクタ回路156は、スキャン選択内部信号線16のスキャン選択内部信号が“0”であるため、スキャン記憶素子26の出力データ735を出力する。組合せ回路158は、スキャン記憶素子26の出力データ735を入力して通常データ線119に通常データ712を出力する。一方外部入力端子11のスキャン選択外部信号が“1”に遷移するため、スキャン記憶素子125はスキャンモードに切替る。

【0103】

以上のように、本発明の実施の形態4におけるスキャンテスト回路およびスキャンテスト制御方式によれば、本発明の実施の形態2のスキャンテストを実施する第1のブロックと、従来のスキャンテストを実施する第2のブロックとの間に、可制御用のスキャン記憶素子と、観測用の記憶素子と、セクタ回路を設けることにより、第1のブロックと第2のブロックとの所望のデータの受け渡しを可能とする。更に、第1のブロックと第2のブロックとの間の通常動作パスである、出力データ線23、出力データ線157、組合せ回路158、通常データ線119に対して、イベントタイミング373で通常動作パスの出力データ線157、組合せ回路158、通常データ線119の縮退故障を検出し、イベントタイミング376で通常動作パスの出力データ線23の縮退故障を検出することを可能とする。すなわち、第1のブロックと第2のブロックとの間の縮退故障も検出することを可能とする。

【0104】

(実施の形態5)

本発明の実施の形態4では、図15において、スキャン記憶素子152とスキャン記憶素子125間の第1のパスおよびスキャン記憶素子26と記憶素子154間の第2のパスにセクタ回路156を介する為、スキャンパターンを生成する際、第1のパスと第2のパスのうちどちらか一方のパスに対してしかスキャンパターンを生成することができない。そこで本発明の実施の形態5では、スキャ

ンパターン生成時にセクタ回路 156 を別の回路に置換えることによって、第 1 のパスと第 2 のパスの両方のパスに対してスキャンパターンを生成することを可能とする。

【0105】

図 17 は、本発明の実施の形態 5 におけるセクタ回路 156 を別の回路に置換えた回路を示すものである。図 15 と同一のものには同じ符号を付してある。図 17 において、82 は、図 15 のセクタ回路 156 に対して、出力データ線 23 を出力データ線 157 に接続し、出力データ線 153 を記憶素子 154 の通常データ入力端子に接続する置換え回路を示す。

【0106】

以上のような回路構成をとることにより、実施の形態 5 のスキャンテスト回路で生成したスキャンパターンを実施の形態 4 に適用することにより、実施の形態 4 で説明した動作が可能となる。

【0107】

なお、本発明の実施の形態では、スキャン選択内部信号線 16 のスキャン選択内部信号の生成と、 n 個目のスキャン記憶素子にデータをシフトインし、かつ通常動作するための通常動作クロックの生成とを行う為に、図 3 に示すような m ($m=1$) 段シフトレジスタ 45 と、 $m+2$ 段シフトレジスタ 46 とを備えたスキャン選択内部信号生成回路で通常動作クロックマスク信号線 32 の通常動作クロックマスク信号を生成するようにしたが、 m を $m>1$ の整数としたシフトレジスタの構成にすることによって、通常動作クロックマスク信号の生成タイミングを変更可能とし、その結果、スキャン選択内部信号の生成タイミングと、 n 個目のスキャン記憶素子にデータをシフトインし、かつ通常動作するための通常動作クロックの生成タイミングとを変更するようにしてもよい。

【0108】

また、図 3 におけるインバータ回路 44 と m ($m>0$ の整数) 段シフトレジスタ 45 と、 $m+2$ 段シフトレジスタ 46 と EXNOR 回路 49 との構成を、例えば図 9 に示すように、複数の EXNOR 回路の出力信号をセクタ回路で切換え可能な回路構成にすることにより、シフトレジスタの段数を変更することなく、

通常動作クロックマスク信号の複数の生成タイミングを選択可能とし、その結果、スキャン選択内部信号の生成タイミングと、 n 個目のスキャン記憶素子にデータをシフトインし、かつ通常動作するための通常動作クロックの生成タイミングと、を任意に選択するようにしてもよい。

【0109】

また、本発明の実施の形態では、シフトインデータ、通常動作クロック、テストクロック、スキャン選択外部信号を半導体集積回路の外部から入力する例を示したが、シフトインデータ、通常動作クロック、テストクロック、スキャン選択外部信号を半導体集積回路の内部で生成したものを本発明のスキャン制御回路に入力するようにしても良い。

【0110】

また、本発明の実施の形態 4 では、一つのブロック間の通常動作パスに対して、観測用の記憶素子を一つ用意したが、複数のブロック間の通常動作パスに対して、複数のセレクト回路の出力データ線を AND 回路等で束ねて任意のブロック間の観測用の記憶素子に入力することで、観測用の記憶素子の数を減らしても良い。

【0111】

【発明の効果】

以上、説明してきたように、本発明の請求項 1 乃至請求項 8 にかかるスキャンテスト制御方式およびスキャンテスト回路によれば、複数 ($n > 1$ の整数) 個のスキャン記憶素子を有するスキャンチェーンを内蔵するスキャンテスト回路に対して、1 個目から $n - 1$ 個目のスキャン記憶素子にデータを外部端子よりシフトインするための第 1 のクロックの周波数と、 n 個目のスキャン記憶素子にデータを外部端子よりシフトインし、かつ通常動作するための第 2 のクロックの周波数とを選択的に制御することにより、スキャン記憶素子に対して安定したシフトインデータの入力（スキャン動作）と通常動作との両立を実現し、半導体集積回路の縮退故障の検出のみならず遅延故障の検出も効果的に行うことを可能とする効果がある。

【0112】

また、本発明の請求項 9 にかかるスキャンテスト回路によれば、上記複数 ($n > 1$ の整数) 個のスキャン記憶素子を有するスキャンチェーンの前段に記憶素子を追加するようにしたので、通常動作時にスキャン記憶素子が記憶したデータと従来のスキャンテストでのそれとが同じになり、従来のスキャンテストのシフトインデータをそのまま適用することができ、かつ半導体集積回路の縮退故障の検出率がそのまま保たれる効果が得られる。

【0113】

また、本発明の請求項 10 にかかるスキャンテスト回路によれば、請求項 9 記載のスキャンテスト回路において、スキャン制御回路および追加した記憶素子を、別の回路にそれぞれ置換えるようにしたので、半導体集積回路の外部から入力するスキャン選択外部信号とスキャン選択内部信号とが同一の信号でなくてはならず、かつ半導体集積回路の外部から入力するスキャンインデータとスキャン記憶素子へのスキャンインデータとが単一のクロックで同期しなければならないというスキャン設計規約があっても、そのスキャン設計規約に反することなくスキャンパターンを生成することができ、半導体集積回路の縮退故障の検出のみならず遅延故障の検出も効果的に行うことを可能とする効果が得られる。

【0114】

また、本発明の請求項 11 乃至請求項 14 にかかるスキャンテスト制御方式およびスキャンテスト回路によれば、上記請求項 1 記載のスキャンテスト制御方式を実施する第 1 のブロックと従来のスキャンテストを実施する第 2 のブロックとの間に、可制御用のスキャン記憶素子と観測用の記憶素子とセレクト回路とを設けるようにしたので、第 1 のブロックと第 2 のブロックとの間に所望のデータの受け渡しが可能となり、第 1 のブロックと第 2 のブロックとが同時にスキャンテストを行うことができるとともに、上記第 1 のブロックと第 2 のブロックとの間の縮退故障をも検出することができるという効果が得られる。

【0115】

また、本発明の請求項 15 にかかるスキャンテスト回路によれば、上記請求項 14 にかかるスキャンテスト回路のセレクト回路を別の回路に置換えるようにしたので、第 1 のブロックと第 2 のブロックの間において、第 1 のクロックに同期

する記憶素子間の第1のパスと、スキャンクロック生成手段により生成されたスキャンクロックに同期する記憶素子間の第2のパスのそれぞれに対してスキャンパターンを生成することができ、上記請求項11から請求項14のスキャン制御方式及びスキャンテスト回路の構成を実現することを可能とする効果が得られる。

【図面の簡単な説明】

【図1】

本発明の実施の形態1におけるスキャンテスト回路のブロック図である。

【図2】

本発明の実施の形態1におけるスキャン制御回路の具体例を示すブロック図である。

【図3】

本発明の実施の形態1におけるスキャン選択内部信号生成回路の具体例を示すブロック図である。

【図4】

本発明の実施の形態1におけるスキャンクロック生成回路の具体例を示すブロック図である。

【図5】

本発明の実施の形態1における m 段シフトレジスタの、 $m=1$ のときの具体例を示すブロック図である。

【図6】

本発明の実施の形態1における $m+2$ 段シフトレジスタの、 $m=1$ のときの具体例を示すブロック図である。

【図7】

本発明の実施の形態1におけるスキャンテスト回路の動作を示すタイミングチャートである。

【図8】

本発明の実施の形態1によるスキャンテスト制御方法を説明するためのフローチャートである。

【図 9】

本発明の実施の形態 1 におけるスキャン選択内部信号生成回路を、通常動作クロックマスク信号の複数の生成タイミングを選択可能とする回路構成の具体例を示すブロック図である。

【図 10】

本発明の実施の形態 2 におけるスキャンテスト回路のブロック図である。

【図 11】

本発明の実施の形態 2 におけるスキャンテスト回路の動作を示すタイミングチャートである。

【図 12】

本発明の実施の形態 3 におけるスキャンテスト回路のスキャン制御回路及び記憶素子を、置き換え回路に置き換えた状態を示すブロック図である。

【図 13】

本発明の実施の形態 2 の課題を示したスキャンテスト回路のブロック図である。

【図 14】

本発明の実施の形態 2 の課題を示したスキャンテスト回路の動作を示すタイミングチャートである。

【図 15】

本発明の実施の形態 4 におけるスキャンテスト回路のブロック図である。

【図 16】

本発明の実施の形態 4 におけるスキャンテスト回路の動作を示すタイミングチャートである。

【図 17】

本発明の実施の形態 5 における、本実施の形態 4 のスキャンテスト回路のセレクト回路を別の回路に置き換えた図である。

【図 18】

従来のスキャンテスト回路のブロック図である。

【図 19】



スキャン記憶素子の具体例を示すブロック図である。

【図 20】

従来のスキャンテスト回路の動作を示すタイミングチャートである。

【符号の説明】

- 1 セレクタ回路
- 2 スキャン選択信号入力端子
- 3 通常データ入力端子
- 4 スキャンイン入力端子
- 5 スキャンクロック入力端子
- 6 記憶素子
- 7 出力端子
- 11 スキャン選択外部信号の外部入力端子
- 12 スキャンインデータの外部入力端子
- 13 通常動作クロックの外部入力端子
- 14 テストクロックの外部入力端子
- 15 スキャン制御回路
- 16 スキャン選択内部信号線
- 17 スキャンクロック信号線
- 18 組合せ回路
- 19～21 通常データ線
- 22～23 出力データ線
- 24 スキャン記憶素子 27 の出力データを出力する外部出力端子
- 25～27 スキャン記憶素子
- 28 記憶素子
- 29 記憶素子 28 の出力信号線
- 31 スキャン選択内部信号生成回路
- 32 通常動作クロックマスク信号線
- 33 スキャンクロック生成回路
- 41 記憶素子

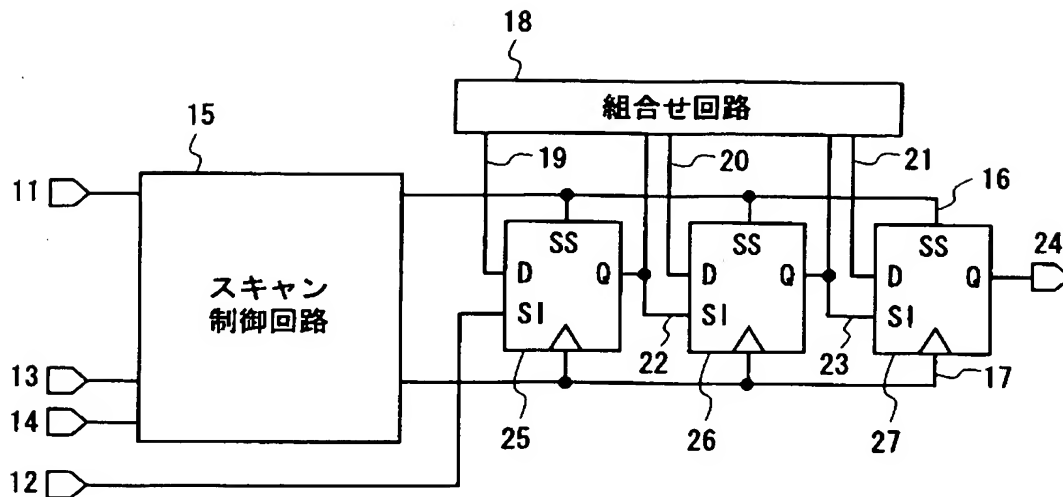
- 4 2 記憶素子 4 1 の出力信号線
- 4 3 インバータ回路 4 4 の出力信号線
- 4 4 インバータ回路
- 4 5 m ($m > 0$ の整数) 段シフトレジスタ
- 4 6 m ($m > 0$ の整数) + 2 段シフトレジスタ
- 4 7 出力信号線
- 4 8 出力信号線
- 4 9 EXNOR 回路
- 5 0 ラッチ回路
- 5 1 記憶素子
- 5 2 出力信号線
- 5 3 出力信号線
- 5 4 OR 回路
- 6 1 AND 回路
- 6 2 出力信号線
- 6 3 AND 回路
- 6 4 出力信号線
- 6 5 セレクタ回路
- 7 0 ~ 7 3 記憶素子
- 8 0 スキャン制御回路 1 5 の置換え回路
- 8 1 記憶素子 2 8 の置換え回路
- 8 2 セレクタ回路 1 5 6 の置換え回路
- 9 0 ~ 9 5 記憶素子
- 9 6 インバータ
- 9 7、9 8 EXNOR 回路
- 9 9 セレクタ回路
- 1 0 0 セレクタ回路 9 9 の選択信号の外部入力端子
- 1 1 1 スキャン選択外部信号の外部入力端子
- 1 1 2 スキャンインデータの外部入力端子

- 114 テストクロックの外部入力端子
- 118 組合せ回路
- 119～121 通常データ線
- 122～123 出力データ線
- 124 スキャン記憶素子127の出力データを出力する外部出力端子
- 125～127 スキャン記憶素子
- 150 1固定データ線
- 151 スキャンインデータの外部入力端子
- 152 可制御用のスキャン記憶素子
- 153 スキャン記憶素子152の出力データ線
- 154 観測用の記憶素子
- 155 記憶素子154の出力データを出力する外部出力端子
- 156 セレクタ回路
- 157 セレクタ回路156の出力データ線
- 158 組合せ回路
- 180 記憶素子28がスキャン動作で記憶している初期データ
- 198 スキャン記憶素子27がスキャン動作で記憶している初期データ
- 199 スキャン記憶素子26がスキャン動作で記憶している初期データ
- 200～204 外部入力端子12のスキャンインデータ
- 210～215 通常データ線19の通常データ
- 220～225 通常データ線20の通常データ
- 230～235 通常データ線21の通常データ
- 250～251 通常データ線19の通常データ
- 260～261 通常データ線20の通常データ
- 270～271 通常データ線21の通常データ
- 300～313 イベントタイミング
- 350～355 イベントタイミング
- 360～364 イベントタイミング
- 370～376 イベントタイミング

- 400～403 通常データ線19の通常データ
- 410～413 通常データ線20の通常データ
- 420～423 通常データ線21の通常データ
- 700 スキャン記憶素子127がスキャン動作で記憶している初期データ
- 701 スキャン記憶素子126がスキャン動作で記憶している初期データ
- 702～706 外部入力端子112のスキャンインデータ
- 708～715 通常データ線119の通常データ
- 720 スキャン記憶素子27がスキャン動作で記憶している初期データ
- 721 スキャン記憶素子26がスキャン動作で記憶している初期データ
- 722 スキャン記憶素子25がスキャン動作で記憶している初期データ
- 723～727 外部入力端子12のスキャンインデータ
- 730 スキャン記憶素子25の通常動作で記憶するデータ
- 735 スキャン記憶素子26の通常動作で記憶するデータ
- 736 スキャン記憶素子27の通常動作で記憶するデータ
- 751 スキャン記憶素子126が通常動作で記憶するデータ
- 752 スキャン記憶素子127が通常動作で記憶するデータ
- 800～812 ステップ
- 1198 スキャン記憶素子127がスキャン動作で記憶している初期データ
- 1199 スキャン記憶素子126がスキャン動作で記憶している初期データ
- 1200～1204 外部入力端子112のスキャンインデータ
- 1210～1212 通常データ線119の通常データ
- 1220～1222 通常データ線120の通常データ
- 1230～1232 通常データ線121の通常データ
- 1250～1251 通常データ線119の通常データ
- 1260～1261 通常データ線120の通常データ
- 1270～1271 通常データ線121の通常データ

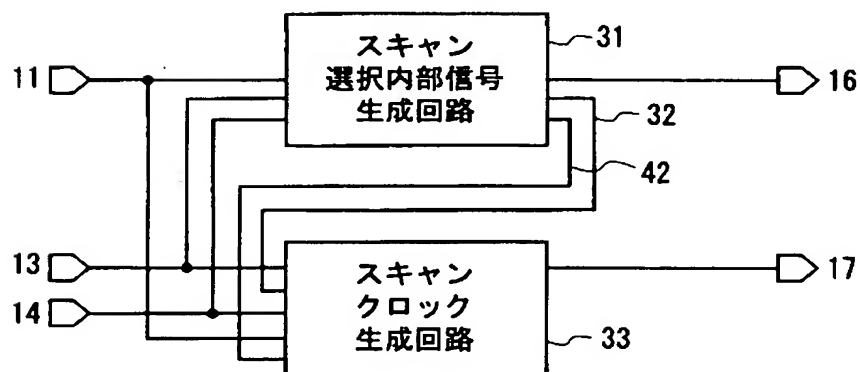
【書類名】 図面

【図 1】



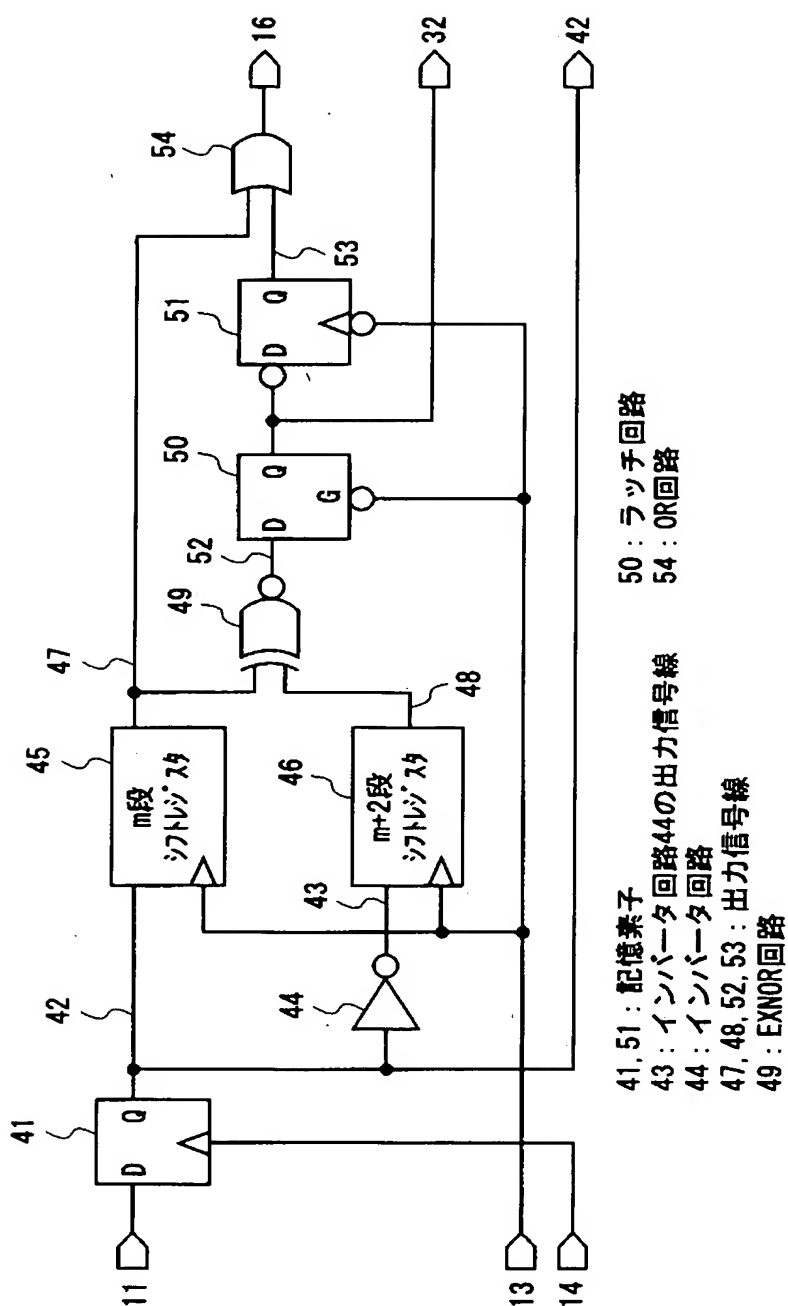
- 11: スキャン選択外部信号の外部入力端子
 12: スキャンインデータの外部入力端子
 13: 通常動作クロックの外部入力端子
 14: テストクロックの外部入力端子
 16: スキャン選択内部信号線
 17: スキャンクロック信号線
 19~21: 通常データ線
 22, 23: 出力データ線
 24: スキャン記憶素子27の出力データを出力する外部出力端子
 25~27: スキャン記憶素子

【図 2】

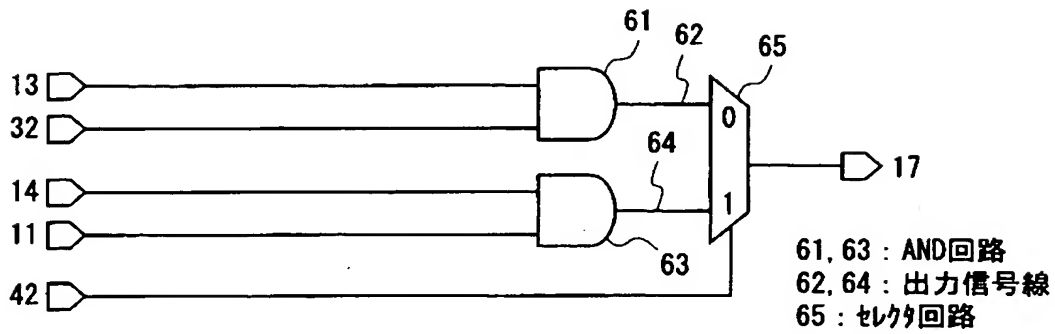


- 32: 通常動作クロックマスク信号線
 42: 記憶素子41の出力信号線

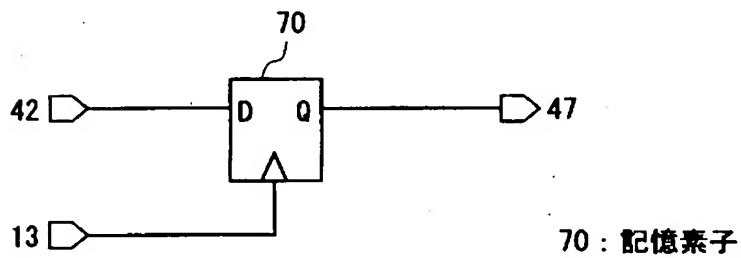
【図 3】



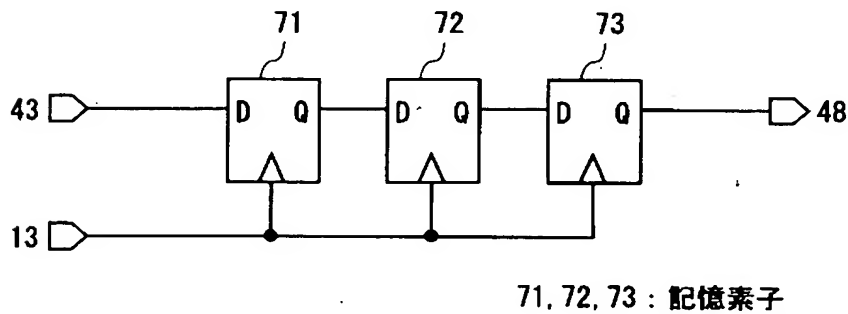
【図 4】



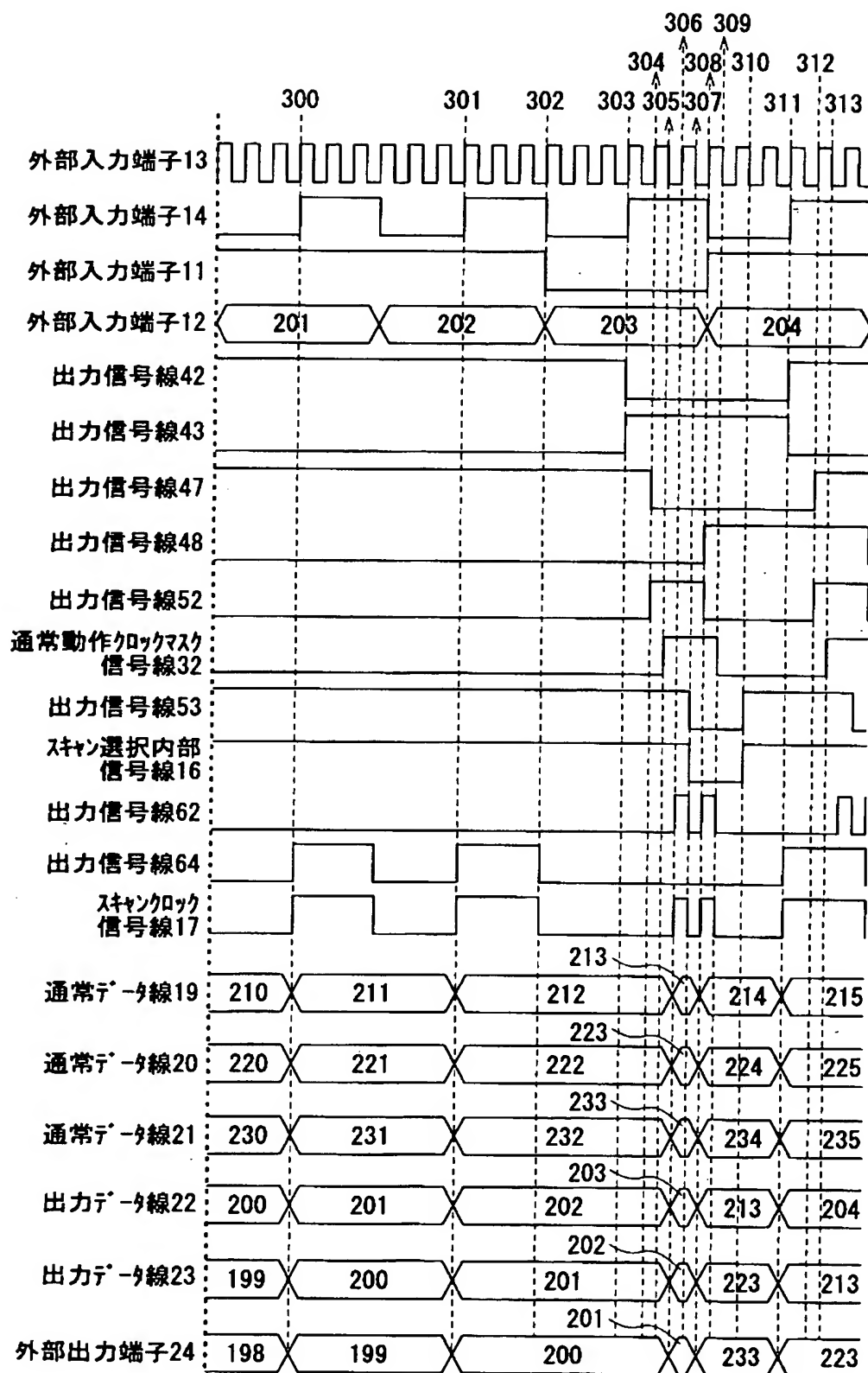
【図 5】



【図 6】



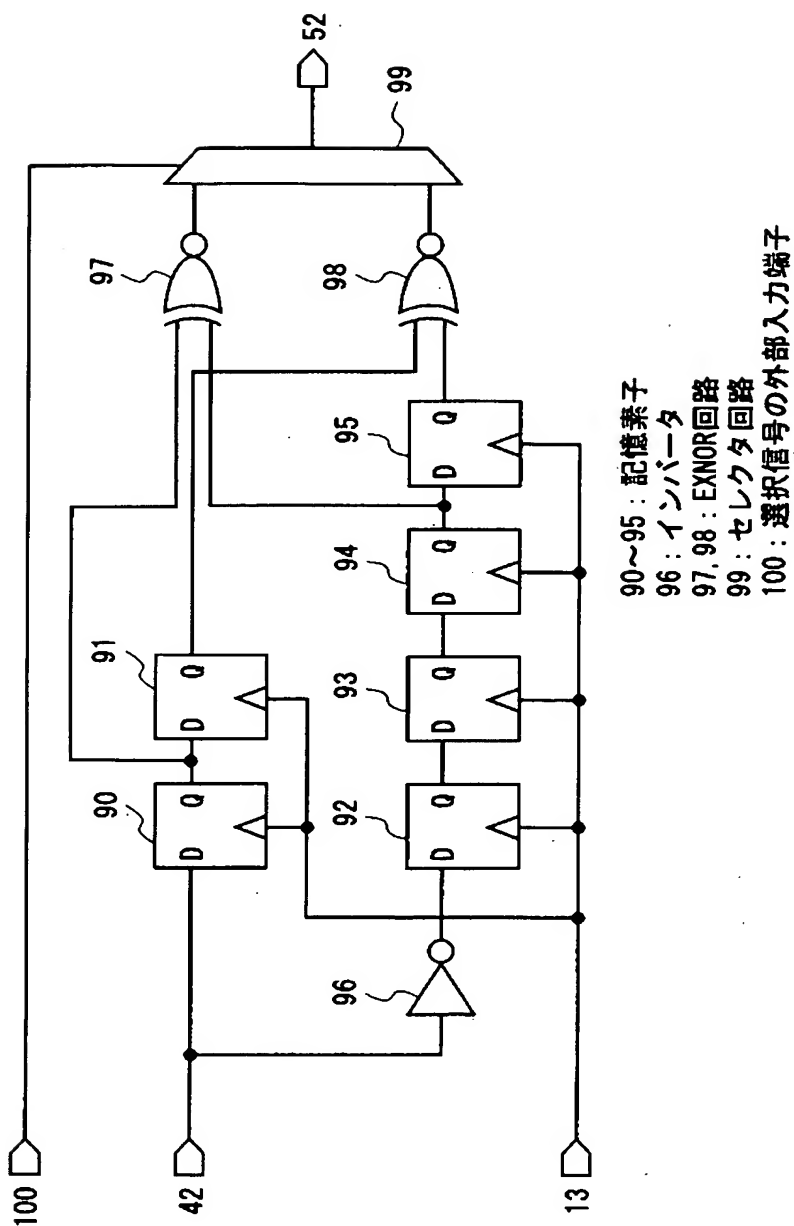
【図 7】



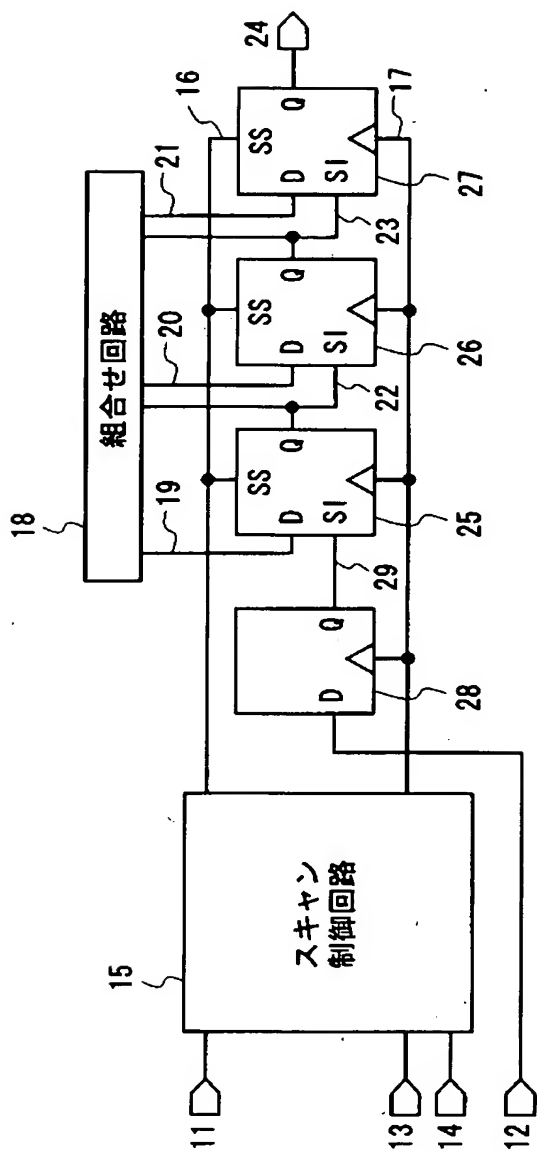
【図 8】



【図 9】

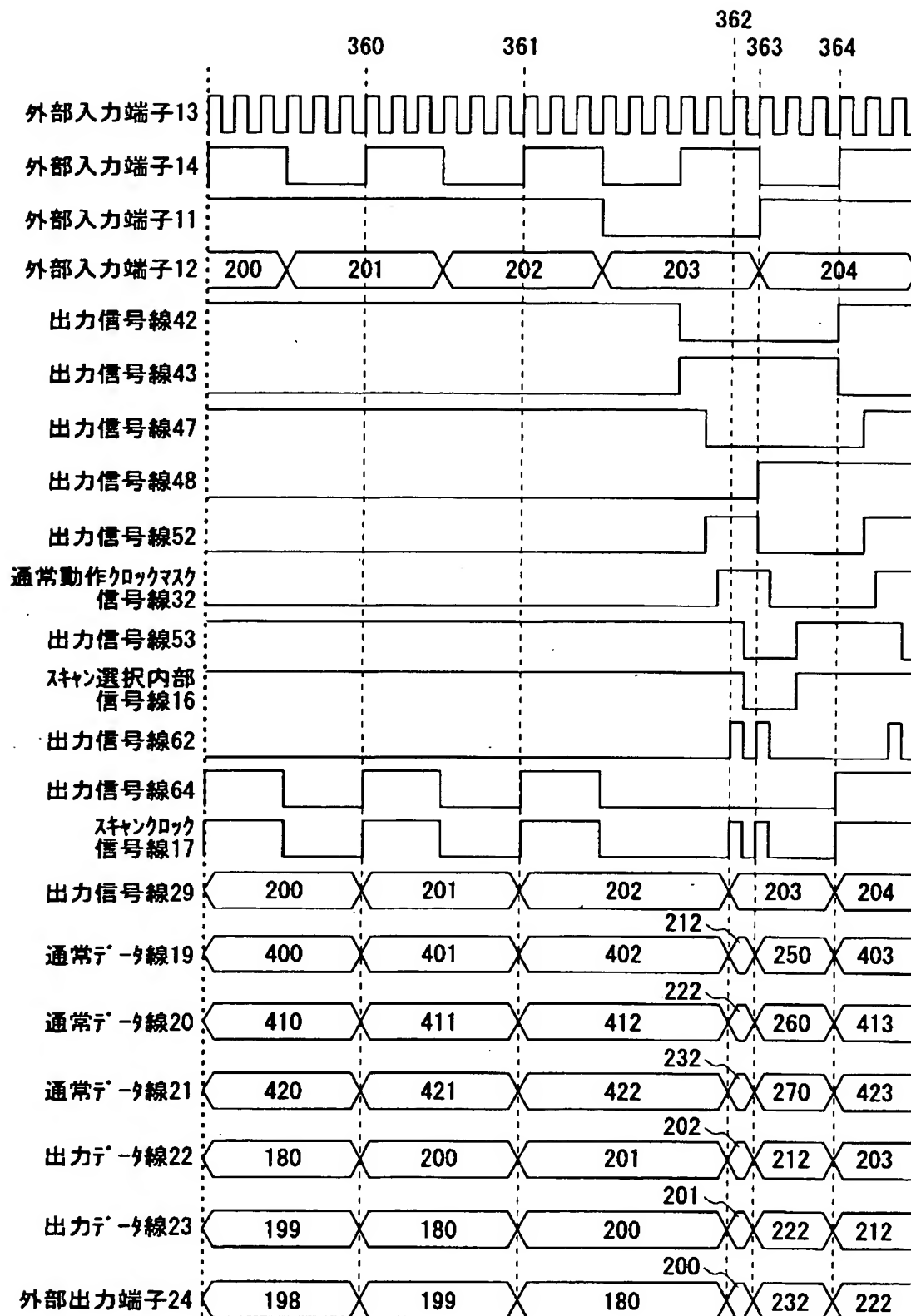


【図10】

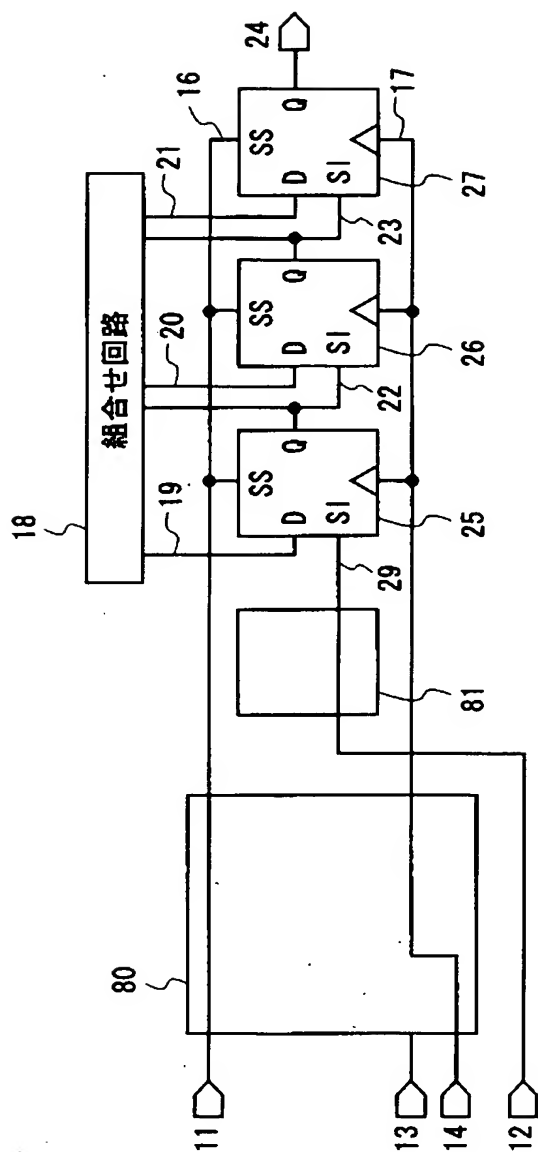


28: 記憶素子
29: 記憶素子28の出力信号線

【図 11】

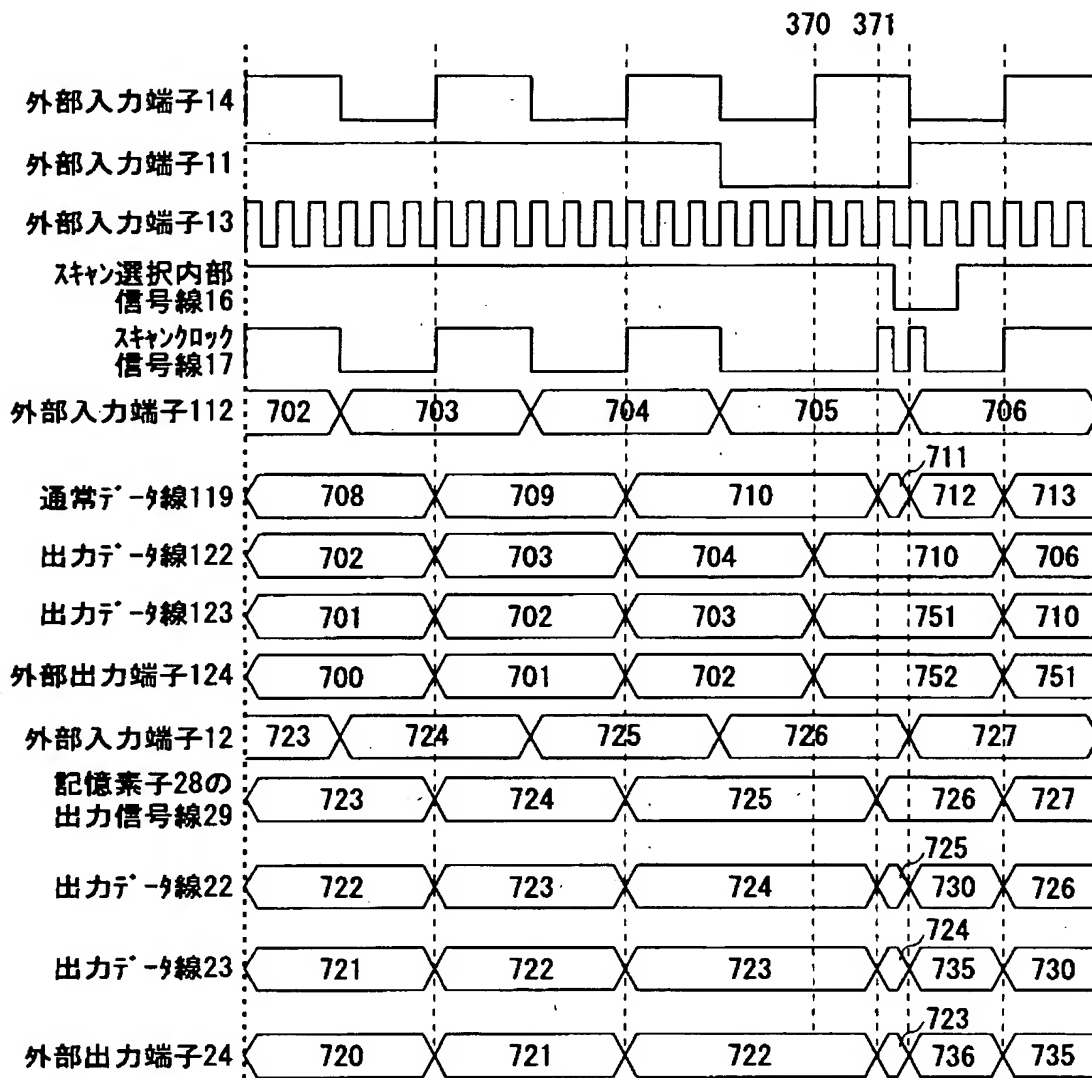


【図 12】

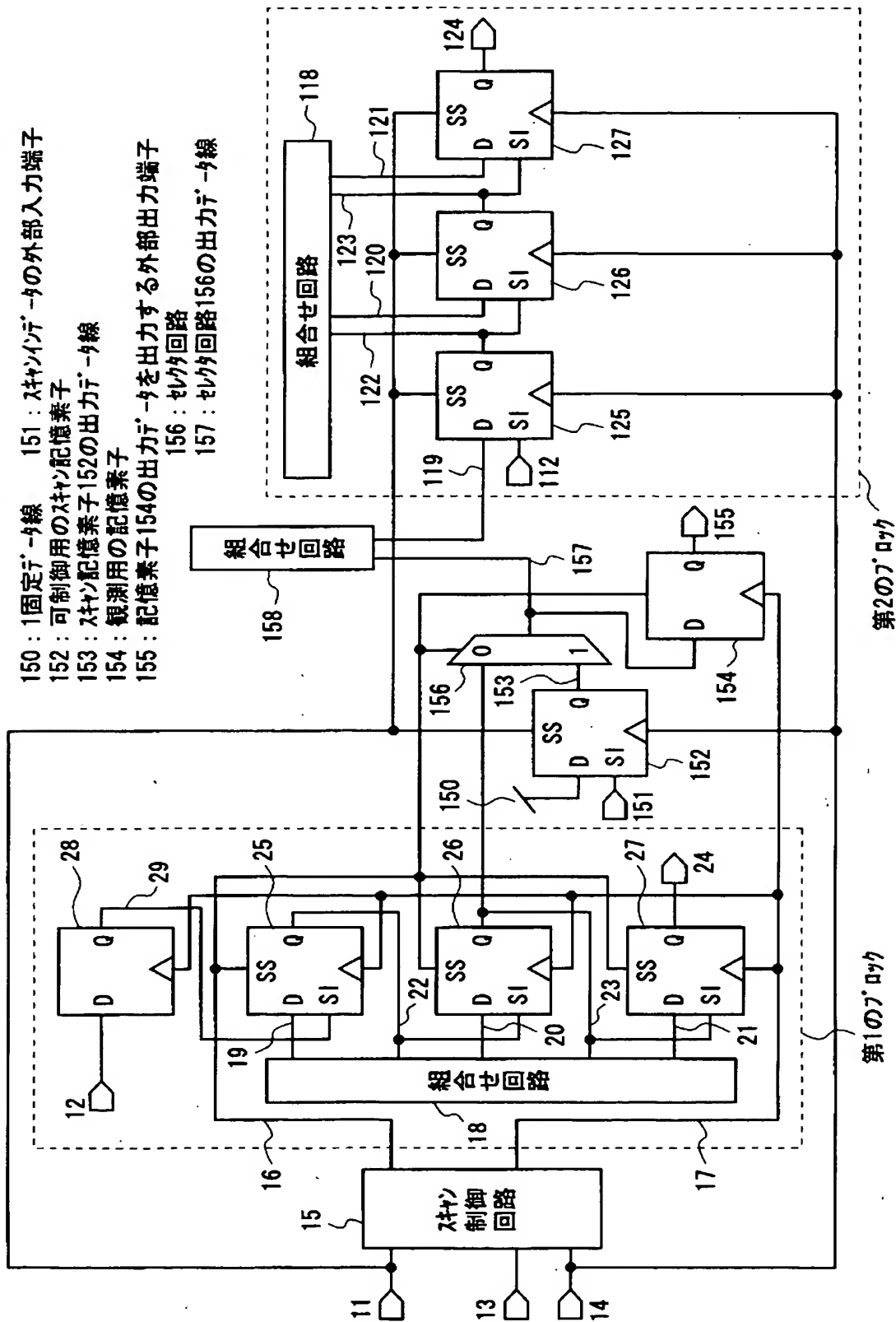


80: スキャン制御回路15の置換え回路
81: 記憶素子28の記憶回路

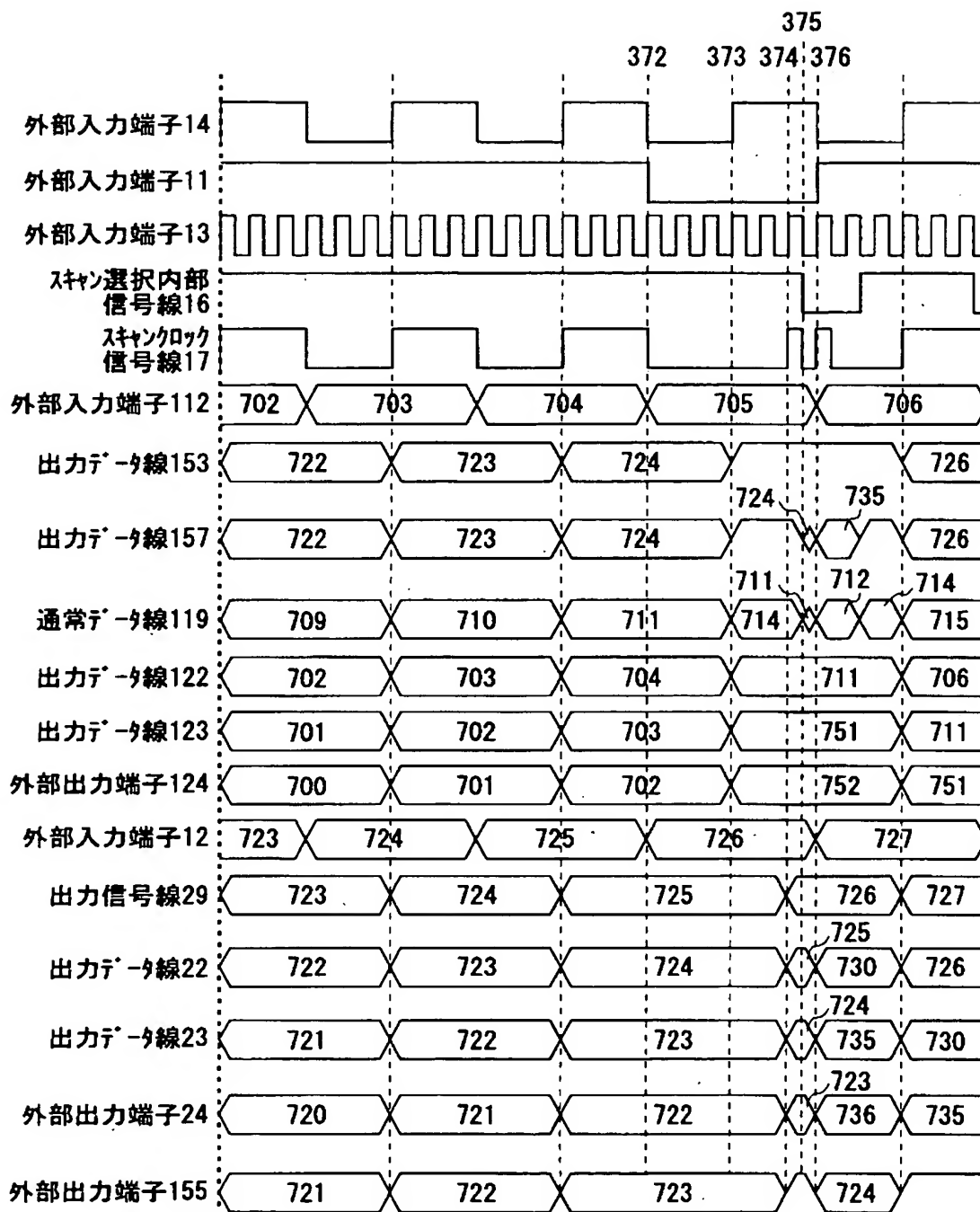
【図14】



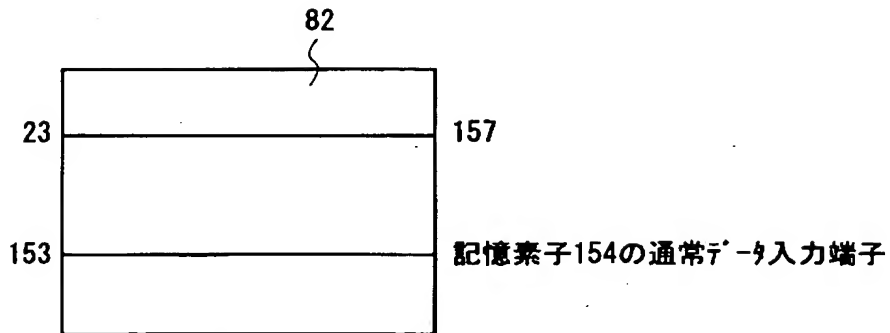
【図 15】



【図16】

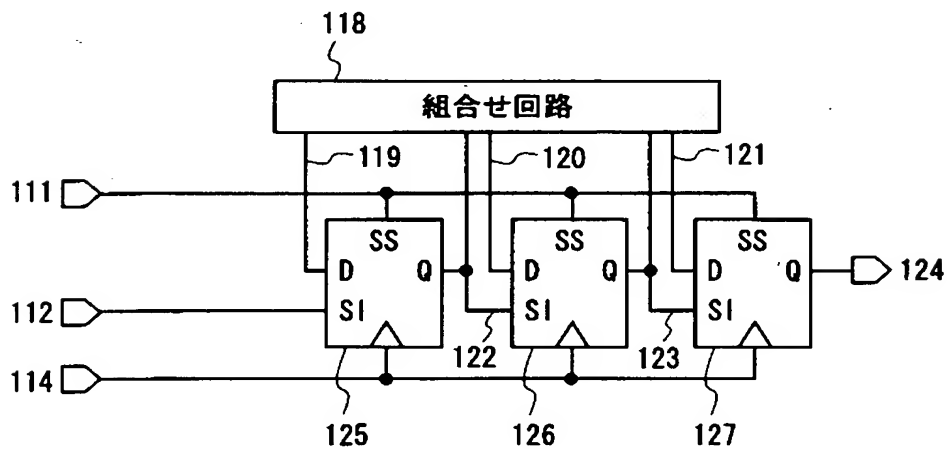


【図 17】



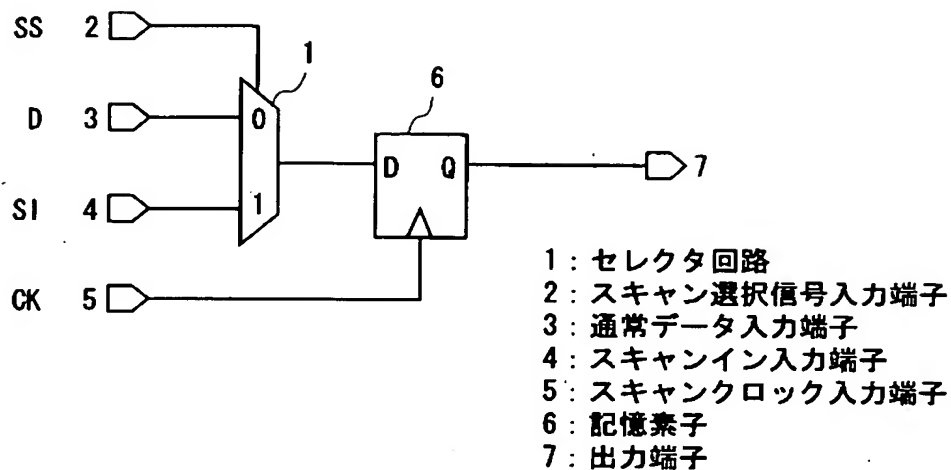
82: セレクタ回路156の置換え回路

【図 18】

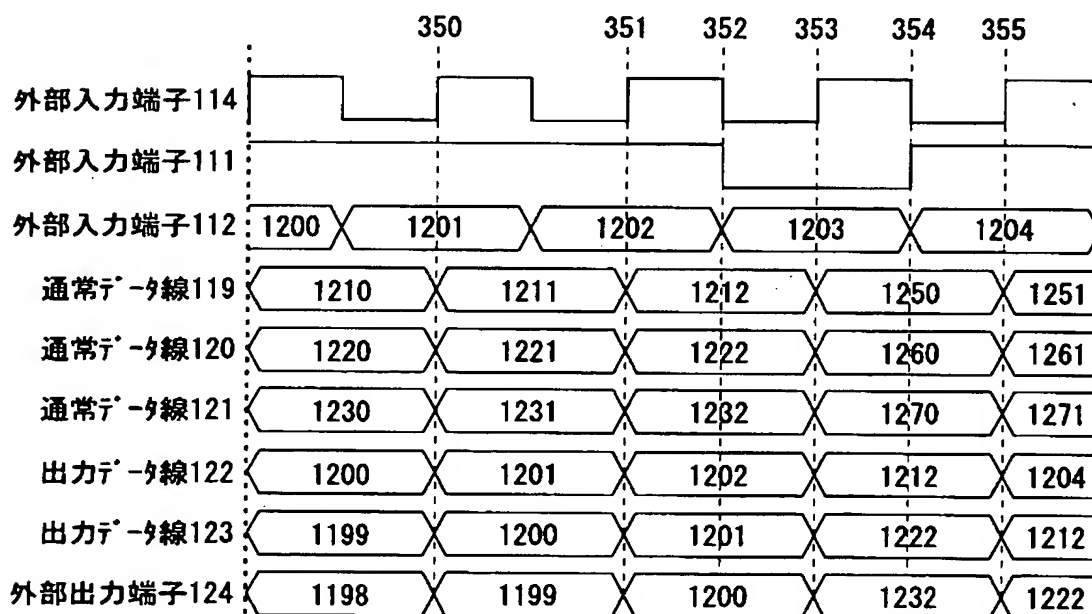


- 111: スキャン選択外部信号の外部入力端子
- 112: スキャンインデタの外部入力端子
- 114: テストクロックの外部入力端子
- 119~121: 通常データ線
- 122, 123: 出力データ線
- 124: スキャン記憶素子127の出力データを出力する外部出力端子
- 125~127: スキャン記憶素子

【図 19】



【図 20】



【書類名】 要約書

【要約】

【課題】 従来、半導体集積回路内のスキャン記憶素子に対してスキャンインデータやスキャン選択信号を半導体集積回路の外から直接入力する必要があり、実動作速度までスキャンテストを行えず、周波数に依存する遅延故障を、検出できなかった。

【解決手段】 複数個のスキャン記憶素子 25, 26, 27 を有するスキャンチェーンを内蔵し、1 個目から $n-1$ 個目のスキャン記憶素子にシフトインするための第 1 のクロックの周波数と、 n 個目のスキャン記憶素子にシフトインし、かつ実動作を行うための第 2 のクロックの周波数とを独立に制御可能とするスキャンクロック生成回路 33 と、第 2 のクロックに同期するスキャン選択内部信号を生成するスキャン選択内部信号生成回路 31 とを備えた。

【選択図】 図 1

特願 2003-067170

出 願 人 履 歴 情 報

識別番号

[000005821]

1. 変更年月日

1990年 8月28日

[変更理由]

新規登録

住 所

大阪府門真市大字門真1006番地

氏 名

松下電器産業株式会社